



Intel EMIB 기술 구조 및 공정 단계별 검사(Inspection)

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-01

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

Intel EMIB 기술 구조 및 공정 단계별 검사(Inspection) 전략 보고서	3
개요 (Introduction)	3
EMIB 구조 및 형태 분석 (Structural Architecture)	4
EMIB 핵심 제조 공정 흐름 (Manufacturing Process Flow)	6
공정별 핵심 검사 포인트 및 불량 정의 (Inspection Points & Defect Definition)	8
미세 결함 크기 및 검사 항목 상세 (Defect Size & Inspection Items)	10
검사 기술 적용 및 장비 요구사항 (Inspection Technology & Equipment)	12
결론 및 시사점 (Conclusion & Implications)	13

Intel EMIB 기술 구조 및 공정 단계별 검사(Inspection) 전략 보고서

본 보고서는 Intel의 2.5D 패키징 기술인 EMIB의 구조적 특징과 제조 공정을 상세히 분석합니다. 특히 각 공정 단계에서 요구되는 핵심 검사 항목, 불량 유형, 그리고 미세 결함(Defect)의 크기 기준을 정의하여 고신뢰성 패키징 구현을 위한 검사 가이드를 제공합니다.

개요 (Introduction)

1. EMIB 기술의 정의 및 등장 배경

EMIB(Embedded Multi-die Interconnect Bridge)는 인텔(Intel)이 주도하여 개발한 차세대 2.5D 패키징(2.5D Packaging) 기술로, 서로 다른 기능을 가진 칩렛(Chiplet)들을 하나의 패키지 내에서 초고속·고대역폭으로 연결하기 위한 핵심 인터커넥트(Interconnect) 솔루션입니다. [출처: SemiWiki]

반도체 산업이 미세 공정의 한계(Moore's Law Scaling Limit)에 직면함에 따라, 단일 거대 다이(Monolithic Die)를 제조하는 대신 기능별로 최적화된 작은 다이들을 제조하여 하나로 묶는 칩렛(Chiplet) 아키텍처가 급부상하였습니다. 이러한 칩렛 구조에서 가장 중요한 과제는 각각의 칩 사이를 얼마나 빠르고 효율적으로 연결하느냐는 것입니다. 기존의 방식은 칩 간의 통신을 위해 패키지 기판(Package Substrate)의 배선 밀도에 의존했으나, 이는 데이터 전송 속도와 전력 효율 면에서 고성능 컴퓨팅(HPC) 및 AI 가속기 요구사항을 충족하기에 역부족이었습니다.

EMIB는 이러한 문제를 해결하기 위해 실리콘 브릿지(Silicon Bridge)라는 개념을 도입하였습니다. 이는 칩 전체를 덮는 거대한 실리콘 인터포저(Silicon Interposer)를 사용하는 대신, 칩과 칩이 만나는 접점 부위에만 아주 작은 실리콘 조각(Bridge)을 삽입하여 전기적 통로를 형성하는 방식입니다. [출처: Intel Foundry EMIB Technology Brief]

2. 2.5D 패키징 생태계 내에서의 EMIB의 역할

전통적인 패키징 기술이 칩을 단순히 보호하고 전기적으로 연결하는 수준이었다면, 2.5D 패키징은 칩의 성능을 결정짓는 핵심적인 '연결(Interconnect) 기술'의 영역으로 진화했습니다. 이 생태계에서 EMIB는 '비용 효율적 고성능 연결 플랫폼'으로서 독보적인 위치를 점합니다.

현재 2.5D 패키징 시장을 양분하고 있는 TSMC의 CoWoS(Chip on Wafer on Substrate) 방식과 비교했을 때, EMIB는 구조적 유연성과 경제성 측면에서 뚜렷한 차별점을 가집니다. CoWoS는 칩 하부에 대면적의 실리콘 인터포저를 배치하여 매우 높은 밀도의 연결을 제공하지만, 인터포저 제작에 막대한 웨이퍼 비용이 소요되고 공정 복잡도가 매우 높다는 단점이 있습니다.

반면, EMIB는 다음과 같은 전략적 역할을 수행합니다.

- **경제적 고대역폭 구현 (Cost-Effective High Bandwidth):** 실리콘을 칩 전체 면적이 아닌, 연결에 필요한 최소한의 영역(Bridge)에만 사용함으로써 실리콘 웨이퍼 사용량을 획기적으로 줄이고 제조 원가를 절감합니다. [출처: 네이버 블로그]
- **기존 공정 인프라의 활용 (Substrate Integration):** EMIB는 기존에 널리 사용되던 FC-BGA(Flip Chip Ball Grid Array)와 같은 유기 기판(Organic Substrate)을 기반으로 설계되었습니다. 기판 내부에 실리콘 브릿지를 매립(Embedding)하는 구조를 취함으로써, 완전히 새로운 기판 공정을 구축할 필요 없이 기존의 패키징 에코시스템을 그대로 활용할 수 있습니다. [출처: IEEE Xplore]
- **설계 유연성 및 확장성 (Scalability):** 다양한 크기와 종류의 칩(예: CPU, GPU, HBM 등)을 조합할 때, 필요한 연결 경로에 맞춰 브릿지의 규격을 맞춤형으로 배치할 수 있습니다. 이는 시스템 설계 변경 없이도 성능을 확장할

수 있는 유연성을 제공합니다. [출처: Intel Foundry EMIB Technology Brief]

3. 기술적 가치 및 검사(Inspection)의 중요성

EMIB 기술은 실리콘 브릿지라는 초미세 구조물을 유기 기판(Organic Substrate) 내부에 정밀하게 매립해야 하는 고난도 공정을 포함합니다. 브릿지 내부에는 칩 간 고속 통신을 위한 **미세 회로(RDL, Redistribution Layer)**와 수직 연결 통로인 **TSV(Through Silicon Via)**가 형성되어 있습니다. [출처: IEEE Xplore]

이러한 구조적 특성으로 인해, EMIB 공정은 다음과 같은 기술적 도전 과제를 안고 있습니다.

- 1. 매립 정밀도(Embedding Precision):** 기판의 홈(Cavity)과 실리콘 브릿지 사이의 정렬(Alignment) 및 간극(Gap) 제어.
- 2. 계면 신뢰성(Interface Reliability):** 실리콘 브릿지와 유기 기판 사이의 열팽창 계수(CTE) 차이로 인한 물리적 응력 관리.
- 3. 미세 결함 제어(Micro-defect Control):** 브릿지 내부의 초미세 회로 및 TSV의 전기적/물리적 무결성 확보.

따라서 EMIB의 양산 수율을 확보하기 위해서는 각 공정 단계별로 발생하는 미세 결함을 실시간으로 탐지하고, 나노미터(nm) 단위의 해상도를 가진 **고정밀 광학 검사(AOI)** 및 **X-ray 검사** 기술이 필수적으로 요구됩니다. 본 보고서에서는 이러한 EMIB의 구조적 특징을 바탕으로, 제조 공정 전반에 걸쳐 발생할 수 있는 결함의 유형과 이를 효과적으로 제어하기 위한 검사 전략을 심도 있게 분석하고자 합니다.

EMIB 구조 및 형태 분석 (Structural Architecture)

EMIB(Embedded Multi-die Interconnect Bridge) 기술의 핵심은 '선택적 실리콘 활용'을 통한 고밀도 인터커넥트(Interconnect)의 구현에 있습니다. 기존의 2.5D 패키징 방식이 칩(Die)들의 하단 전체를 실리콘 인터포저(Silicon Interposer)로 받쳐주는 '전면적(Full-area) 방식'이었다면, EMIB는 칩과 칩 사이의 전기적 신호가 오가는 '통로(Path)'에만 실리콘 조각을 배치하는 '국소적(Localized) 방식'을 취합니다. 이러한 구조적 차이는 패키지의 물리적 형태뿐만 아니라, 재료의 비용 효율성, 열 관리(Thermal Management), 그리고 전기적 특성 측면에서 근본적인 변화를 야기합니다.

1. 구조적 아키텍처의 근본적 차이: Full Interposer vs. Silicon Bridge

EMIB의 구조를 명확히 이해하기 위해서는 업계 표준인 TSMC의 CoWoS(Chip on Wafer on Substrate) 기술과 비교 분석이 필수적입니다. 두 기술 모두 2.5D 패키징 범주에 속하지만, 실리콘(Si)을 사용하는 공간적 범위에서 극명한 대조를 보입니다.

A. CoWoS: Full Silicon Interposer 기반 구조

CoWoS 방식은 로직 다이(Logic Die)와 HBM(High Bandwidth Memory)이 놓이는 전체 면적을 하나의 거대한 실리콘 인터포저가 차지합니다. 이 인터포저는 매우 얇은 웨이퍼를 가공하여 만들며, 그 내부에는 초미세 회로인 RDL(Redistribution Layer)과 수직 연결을 위한 TSV(Through Silicon Via)가 격자 형태로 촘촘하게 배치되어 있습니다.

- **물리적 특징:** 모든 칩이 실리콘 판 위에 직접 안착되므로, 칩 간 연결 밀도가 극도로 높습니다.
- **한계점:** 인터포저의 크기가 커질수록 웨이퍼 한 장에서 얻을 수 있는 Net Die(양품 수)가 급격히 감소하며, 대면적 실리콘 사용에 따른 제조 원가(Cost) 상승이 불가피합니다. 또한, 거대한 실리콘 덩어리가 열을 머금은 특성 때문에 열 방출 설계가 복잡해집니다.

B. EMIB: Embedded Silicon Bridge 기반 구조

EMIB는 인터포저의 역할을 '실리콘 브릿지'라는 아주 작은 단위로 축소했습니다. 칩들이 놓이는 바닥면은 기존에 사용하던 유기물 기반의 패키지 기판(Organic Substrate, 예: FC-BGA)을 그대로 사용합니다. 대신, 칩과 칩이 맞닿아 신호를 주고받아야 하는 경계 지점에만 수 밀리미터(mm) 단위의 작은 실리콘 조각(Bridge)을 매립(Embedding)합니다.

- **물리적 특징:** 실리콘은 오직 '연결 통로'로서만 존재하며, 나머지 공간은 저렴한 유기물 기판이 채웁니다.
- **혁신성:** 이를 통해 CoWoS 수준의 고속·고대역폭(High-bandwidth) 연결을 유지하면서도, 실리콘 사용량을 최소화하여 비용을 획기적으로 낮출 수 있습니다. [출처: 웹 검색 결과 3]

2. EMIB의 계층적 구성 요소 (Hierarchical Components)

EMIB 구조를 미세 단위로 분해하면 다음과 같은 핵심 구성 요소들의 정밀한 적층(Stacking) 및 결합으로 이루어져 있음을 알 수 있습니다.

1. Silicon Bridge (핵심 인터커넥트):

가장 중요한 요소로, 매우 얇은 실리콘 웨이퍼를 미세 가공하여 제작됩니다. 이 브릿지 내부에는 칩 간의 초고속 통신을 가능케 하는 미세 RDL과, 기판과 브릿지를 연결하는 TSV가 포함되어 있습니다. [출처: 웹 검색 결과 4]

2. Organic Package Substrate (기판 기판):

전통적인 FC-BGA(Flip Chip Ball Grid Array)와 유사한 구조를 가집니다. EMIB는 이 기판 내부에 브릿지를 물리적으로 심어야 하므로, 브릿지가 들어갈 자리에 정밀한 홈(Cavity)을 형성하는 공정이 포함됩니다. [출처: 웹 검색 결과 3, 5]

3. Logic/Memory Dies (활성 소자):

연결의 주체인 GPU, CPU와 같은 로직 칩 및 HBM이 브릿지 상단에 배치됩니다. 이들은 브릿지의 노출된 패드(Pad)와 범프(Bump)를 통해 전기적으로 결합됩니다.

4. Underfill & Encapsulation (보호 및 충전):

브릿지와 기판 사이의 빈 공간, 그리고 칩과 브릿지 사이의 미세 간극을 에폭시 수지(Epoxy Resin) 등의 언더필(Underfill) 물질로 채워 구조적 안정성을 확보하고 외부 환경으로부터 보호합니다.

3. 기술적 비교 분석 (Comparative Analysis)

아래 표는 EMIB와 CoWoS의 구조적, 경제적 특성을 전문적인 관점에서 비교한 결과입니다.

비교 항목	CoWoS (Full Interposer)	EMIB (Silicon Bridge)	기술적 시사점
실리콘 점유 면적	칩 전체 면적 (Large-scale)	연결 부위 국소 면적 (Micro-scale)	EMIB가 재료 효율성 압도적
주요 연결 매체	Full Silicon Interposer	Embedded Silicon Bridge	EMIB는 기판 활용도 극대화
제조 비용 (Cost)	매우 높음 (High)	상대적으로 낮음 (Low)	EMIB의 양산 경쟁력 핵심
연결 밀도 (Density)	극도로 높음 (Ultra-high)	매우 높음 (Very High)	두 방식 모두 고성능 대응 가능
공정 유연성	인터포저 크기에 종속됨	브릿지 배치로 설계 유연함	EMIB는 Scalability 우수 [출처: 웹 검색 결과 5]

열 관리 (Thermal)	실리콘 열팽창 고려 필요	기판과 브릿지의 복합 관리	EMIB는 열 변형 제어가 복잡할 수 있음
----------------	---------------	----------------	-------------------------

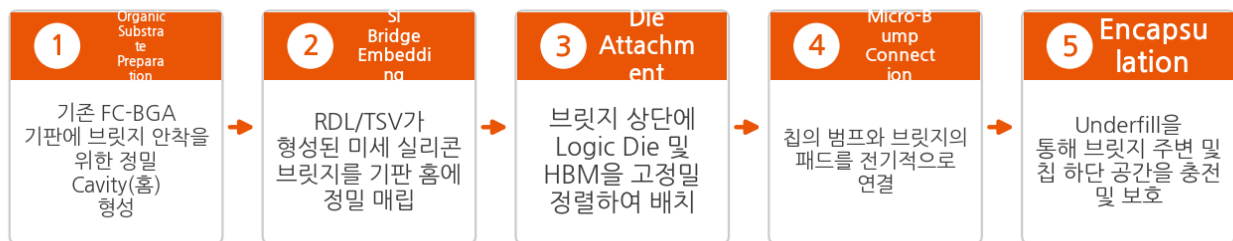
4. 구조적 복잡성에 따른 검사(Inspection)의 난제

EMIB의 구조는 혁신적이지만, 검사 엔지니어 관점에서는 매우 까다로운 대상입니다. 기존 방식은 표면(Surface) 검사가 주를 이루었으나, EMIB는 '기판 내부에 매립된(Embedded)' 구조적 특성 때문에 다음과 같은 검사적 도전 과제를 안고 있습니다.

- **Hidden Interconnects:** 실리콘 브릿지가 유기물 기판 내부 또는 칩 하단에 숨겨져 있어, 일반적인 광학 검사(AOI)만으로는 브릿지의 정렬(Alignment) 상태나 내부 TSV의 결함을 확인하기 어렵습니다.
- **Interface Integrity:** 브릿지와 기판이 만나는 경계면(Interface)에서의 미세한 틈(Void)이나 브릿지 삽입 시 발생하는 기판의 변형(Warping)은 전기적 불량으로 직결됩니다.
- **Micro-scale Defect:** 브릿지 자체의 크기가 매우 작기 때문에, 수 μm 단위의 미세한 회로 단선이나 이물질(Particle)을 잡아내기 위해서는 초고해상도 비전 솔루션이 필수적입니다.

결론적으로 EMIB는 '최소한의 실리콘으로 최대한의 연결성'을 확보하는 구조이며, 이는 패키징 공정의 패러다임을 '적층'에서 '매립 및 정밀 결합'으로 전환시켰음을 의미합니다.

EMIB 구조적 계층 및 구성 요소



EMIB 핵심 제조 공정 흐름 (Manufacturing Process Flow)

EMIB(Embedded Multi-die Interconnect Bridge) 공정은 기존의 단일 칩 패키징이나 대면적 실리콘 인터포저(Silicon Interposer)를 사용하는 방식과는 근본적으로 다른 메커니즘을 가집니다. EMIB의 핵심은 '필요한 곳에만 실리콘을 배치한다'는 경제적 효율성에 있으며, 이를 구현하기 위해 **Bridge Fabrication(브릿지 제조)**, **Embedding(기판 매립)**, 그리고 **Die Attach(칩 실장)**로 이어지는 정밀한 단계별 공정 흐름이 요구됩니다. 본 섹션에서는 각 공정의 물리적 메커니즘과 기술적 핵심 요소를 상세히 분석합니다.

1. Bridge Fabrication (실리콘 브릿지 제조 공정)

EMIB 공정의 첫 번째 단계는 칩 간의 고속 통신을 담당할 핵심 부품인 '실리콘 브릿지'를 개별적으로 제조하는 것입니다. 이 단계는 일반적인 웨이퍼 레벨의 전공정(Front-End) 기술이 적용되는 매우 미세한 공정입니다.

- **공정 메커니즘:**

전체 웨이퍼를 사용하는 대신, 아주 작은 크기의 실리콘 조각(Die-sized piece)을 베이스로 사용합니다. 이 작은 실리콘 조각 위에 칩과 칩을 연결할 수 있는 초미세 회로인 RDL(Redistribution Layer, **재배선층**)을 형성합니다. 또한, 브릿지를 관통하여 상하부 칩을 전기적으로 연결하기 위한 TSV(Through Silicon Via, **실리콘 관통 비아**)

공정이 이 단계에서 수행됩니다. [출처: 웹 검색 결과 4]

- **기술적 핵심:**

브릿지의 크기는 매우 작기 때문에, 일반적인 인터포저보다 훨씬 높은 수준의 배선 밀도(Interconnect Density)가 요구됩니다. 브릿지 내부의 미세 회로는 칩의 범프(Bump)와 직접 맞닿아야 하므로, 미세 피치(Fine Pitch) 구현 능력이 브릿지의 성능을 결정짓는 핵심 요소입니다.

- **공정 특징:**

이 단계는 2.5D 패키징의 성능을 결정짓는 '통로'를 만드는 과정입니다. 브릿지 자체의 평탄도(Planarity)와 TSV의 충전(Filling) 상태가 완벽해야만 이후 기판 매립 공정에서 결함이 발생하지 않습니다.

2. Embedding in Organic Substrate (유기 기판 내 브릿지 매립 공정)

브릿지 제조가 완료되면, 이를 실제 패키지 기판(주로 FC-BGA와 같은 유기 기판) 내부로 삽입하는 **Embedding** 공정이 진행됩니다. 이는 EMIB 기술을 기존 패키징 기술과 차별화하는 가장 독창적인 단계입니다.

- **공정 메커니즘:**

먼저, 고밀도 유기 기판(Organic Substrate)의 특정 영역에 브릿지가 들어갈 수 있도록 미세한 홈(Cavity)을 형성합니다. 그 후, 제조된 실리콘 브릿지를 이 홈 안에 정확하게 배치합니다. 브릿지가 기판 내부에 안착되면, 브릿지와 기판 사이의 빈 공간을 에폭시(Epoxy) 또는 특수 수지(Molding Compound)로 채워 넣어 물리적, 전기적으로 고정합니다. [출처: 웹 검색 결과 4, 5]

- **기술적 핵심:**

Alignment(정렬) 정밀도가 이 공정의 성패를 좌우합니다. 브릿지의 미세한 RDL 패드와 기판의 회로가 정확히 일치해야 하므로, 나노미터(nm) 단위에 근접한 정밀한 위치 제어 기술이 필요합니다. 또한, 브릿지를 매립할 때 발생하는 열팽창 계수(CTE, Coefficient of Thermal Expansion) 차이로 인한 기판의 휨(Warping) 현상을 제어하는 것이 매우 중요합니다.

- **공정 특징:**

이 공정을 통해 EMIB는 거대한 실리콘 인터포저 없이도 칩 간의 고속 연결을 가능하게 합니다. 즉, "실리콘의 성능"과 "유기 기판의 경제성"을 결합하는 가교 역할을 수행하는 단계입니다.

3. Die Attach & Interconnection (칩 실장 및 상호 연결 공정)

마지막 단계는 브릿지가 매립된 기판 위에 실제 로직 칩(Logic Die)과 HBM(High Bandwidth Memory)을 올리는 **Die Attach** 공정입니다.

- **공정 메커니즘:**

브릿지가 성공적으로 매립된 기판의 표면에는 브릿지의 상부 회로(RDL/TSV)가 노출되어 있습니다. 이 노출된 부위 위에 로직 칩과 HBM을 정밀하게 배치(Pick-and-Place)합니다. 이후, 칩 하부에 형성된 마이크로 범프(Micro Bump)와 기판 위로 노출된 브릿지의 패드를 맞닿게 한 뒤, **Reflow(리플로우)** 공정을 통해 납(Solder)을 녹여 전기적으로 영구 결합합니다.

- **기술적 핵심:**

Bump-to-Bridge Interconnection의 신뢰성 확보입니다. 칩과 브릿지 사이의 접합부(Joint)가 미세하기 때문에, 아주 작은 정렬 오차나 범프의 불균일성도 전체 패키지의 전기적 단절(Open)이나 단락(Short)으로 이어질 수 있습니다.

- **공정 특징:**

이 단계가 완료되면 비로소 2.5D 구조의 EMIB 패키지가 완성됩니다. 칩들은 브릿지를 통해 초고대역폭(High Bandwidth)으로 연결되며, 전체 패키지는 기존 FC-BGA 기판의 형태를 유지하면서도 성능은 실리콘 인터포저 수준에 도달하게 됩니다.

[EMIB 핵심 공정 요약 및 비교]

공정 단계	주요 수행 작업 (Key Task)	핵심 기술 요소 (Critical Tech)	주요 결함 리스크 (Potential Defect)
Bridge Fabrication	실리콘 조각 내 RDL 및 TSV 형성	미세 피치(Fine Pitch) 구현, TSV 충전	RDL 단선, TSV Void, Bridge Crack
Embedding	기판 내 홈(Cavity) 형성 및 브릿지 삽입	정밀 정렬(Alignment), CTE 제어	Misalignment, Warpage, Void in Resin
Die Attach	로직/HBM 칩 배치 및 범프 접합	Micro Bump 제어, Reflow 온도 프로파일	Solder Bridge, Non-wetting, Bump Shift

이와 같은 복합적인 공정 흐름은 각 단계마다 매우 높은 수준의 검사(Inspection) 기술을 요구합니다. 특히 브릿지가 기판 내부로 숨어버리는 Embedding 단계 이후에는 광학적 접근이 어려워지므로, 공정 단계별로 최적화된 검사 전략(예: X-ray, 초음파 검사 등)의 수립이 필수적입니다.

공정별 핵심 검사 포인트 및 불량 정의 (Inspection Points & Defect Definition)

EMIB(Embedded Multi-die Interconnect Bridge) 공정은 미세한 실리콘 브릿지를 유기 기판(Organic Substrate) 내부에 매립하는 고난도 공정을 포함합니다. 따라서 각 공정 단계에서 발생하는 결함은 단순히 개별 소자의 불량을 넘어, 전체 패키지의 전기적 연결성(Interconnect Integrity)을 완전히 상실하게 만드는 치명적인 요인이 됩니다. 본 섹션에서는 EMIB 제조 흐름에 따른 핵심 검사 포인트(Inspection Point)를 설정하고, 각 단계에서 정의되는 주요 불량(Defect Type)의 물리적 특성을 상세히 분석합니다.

1. Silicon Bridge Fabrication 단계: 미세 회로 및 TSV 검사

브릿지 제조는 EMIB의 고대역폭(High Bandwidth)을 결정짓는 가장 핵심적인 단계입니다. 이 단계에서는 매우 작은 실리콘 웨이퍼 상에 다층 배선(Multi-layer RDL)과 실리콘 관통 비아(TSV)를 형성하므로, 나노미터(nm) 단위의 미세 결함 제어가 필수적입니다.

- **검사 포인트 (Inspection Point):**
- **Bridge RDL Pattern:** 브릿지 내부의 초미세 금속 배선 패턴의 연속성 및 선폭(Line Width) 검사.
- **TSV (Through Silicon Via):** 실리콘을 관통하는 수직 전극의 형성 상태 및 충전(Filling) 상태 검사.
- **Passivation Layer:** 소자 보호를 위한 절연막의 균일도 및 크랙 검사.
- **주요 불량 정의 (Defect Definition):**

불량 항목 (Defect Type)	물리적 정의 및 특성	영향 (Impact)
RDL Open/Short	배선 간의 단락(Short) 또는 배선 끊김(Open) 현상. 주로 미세 패턴의 Bridge/Resist 잔여물로 발생.	데이터 신호 전달 불가 및 고주파 노이즈 유발.

TSV Void	TSV 내부의 구리(Cu) 충전이 불완전하여 발생하는 미세 공극(Void).	저항(Resistance) 급증 및 열 방출(Thermal Dissipation) 저해.
Pattern Bridge	설계된 패턴 사이의 금속 이물질(Particle)로 인한 의도치 않은 연결.	신호 간섭(Crosstalk) 및 전기적 쇼트.
Surface Scratch	웨이퍼 표면의 연마(CMP) 공정 중 발생하는 미세 스크래치.	후속 공정인 매립(Embedding) 시 접착력 저하 및 크랙 발생.

2. Substrate Preparation & Bridge Embedding 단계: 매립 정밀도 검사

제조된 브릿지를 FC-BGA 기판의 캐비티(Cavity) 내에 안착시키는 공정입니다. 이 단계의 검사는 '위치 정밀도(Placement Accuracy)'와 '매립 안정성'에 초점을 맞춥니다.

- **검사 포인트 (Inspection Point):**
- **Cavity Dimension & Profile:** 브릿지가 들어갈 기판 내 홈의 크기와 형상 정밀도 검사.
- **Bridge Alignment (X-Y-Z):** 기판의 캐비티 중심과 브릿지의 중심이 일치하는지, 그리고 높이(Z-height)가 평탄한지 검사.
- **Underfill/Epoxy Void:** 브릿지와 기판 사이의 빈 공간을 채우는 에폭시(Epoxy) 내부의 기포 유무 검사.
- **주요 불량 정의 (Defect Definition):**

불량 항목 (Defect Type)	물리적 정의 및 특성	영향 (Impact)
Misalignment	브릿지가 설계된 좌표에서 벗어나 배치되는 현상 (X, Y축 편차).	상단 Die(Logic/HBM)의 Bump와 브릿지 Pad 간의 미접합 발생.
Tilt / Non-planarity	브릿지가 기판 내에서 기울어지거나 수평을 유지하지 못하는 상태.	Die Attach 시 균일한 압력 전달 불가 및 Bump 불량 유발.
Embedding Void	브릿지 주변을 채우는 수지(Resin) 내부에 존재하는 미세 기포.	열팽창 계수(CTE) 불일치로 인한 구조적 크랙 및 신뢰성 저하.
Substrate Crack	브릿지 삽입 또는 압착 공정 중 기판 자체에 발생하는 미세 균열.	패키지 전체의 기계적 강도 상실.

3. Die Attach & Bump Connection 단계: 전기적 연결성 검사

로직 다이(Logic Die)와 HBM을 브릿지 위에 실장하고, 범프(Bump)를 통해 전기적으로 연결하는 최종 결합 단계입니다. 이 단계는 최종 제품의 수율을 결정짓는 가장 민감한 구간입니다.

- **검사 포인트 (Inspection Point):**
- **Bump Coplanarity:** Die의 범프들이 브릿지 패드와 닿는 면의 평탄도 검사.
- **Solder Joint Integrity:** 범프와 브릿지 패드 사이의 솔더(Solder) 접합부 상태 검사.
- **Die Placement Accuracy:** Die가 브릿지 바로 위에 정확히 안착되었는지에 대한 위치 검사.
- **주요 불량 정의 (Defect Definition):**

불량 항목 (Defect Type)	물리적 정의 및 특성	영향 (Impact)
---------------------	-------------	-------------

Non-Wet / Open	솔더가 브릿지 패드에 충분히 젖어지지 못해 전기적으로 연결되지 않은 상태.	해당 I/O 채널의 기능 상실 (Dead Channel).
Solder Bridging	인접한 범프 사이의 솔더가 넘쳐서 서로 붙어버리는 현상.	인접 신호 간의 단락(Short) 및 전기적 오작동.
Insufficient Solder	접합부에 사용된 솔더의 양이 설계치보다 부족한 상태.	열 충격(Thermal Shock) 발생 시 접합부 파손 위험 증가.
Die Shift	Die Attach 공정 중 Die가 미세하게 밀려나는 현상.	브릿지 인터커넥트 영역과의 불일치로 인한 대규모 불량.

4. 공정별 검사 전략 요약 (Summary of Inspection Strategy)

EMIB의 검사 전략은 "전방 공정의 미세 결함이 후방 공정의 대형 불량으로 전이되는 것을 차단"하는 데 목적이 있습니다.

- 1. Micro-scale Inspection (Bridge 단계):** 광학 현미경 및 SEM(Scanning Electron Microscope)을 활용하여 나노 단위의 RDL 및 TSV 결함을 조기에 발견하여 웨이퍼 레벨에서 불량 칩을 선별해야 합니다.
- 2. Macro-scale Inspection (Embedding 단계):** AOI(Automated Optical Inspection)를 통해 기판 내 브릿지의 정렬 상태와 평탄도를 대면적으로 빠르게 스캔하여 기판 손실을 최소화해야 합니다.
- 3. Reliability-focused Inspection (Attach 단계):** 2D/3D X-ray 및 초음파 검사(SAM, Scanning Acoustic Microscopy)를 통해 외부에서 보이지 않는 내부 솔더 접합부의 Void 및 미세 크랙을 비파괴 방식으로 검출하는 것이 필수적입니다.

미세 결함 크기 및 검사 항목 상세 (Defect Size & Inspection Items)

EMIB(Embedded Multi-die Interconnect Bridge) 기술은 실리콘 브릿지를 유기 기판(Organic Substrate) 내부에 매립하는 초정밀 공정을 수반합니다. 이 과정에서 발생하는 결함은 일반적인 패키징 결함보다 훨씬 미세하며, 브릿지 내의 초미세 회로(RDL)와 기판의 패드(Pad) 간의 정렬(Alignment) 오차는 칩 전체의 전기적 연결 실패로 직결됩니다. 따라서 검사 장비의 해상도(Resolution)는 마이크로미터(μm) 단위 이하의 미세 결함을 식별할 수 있는 수준으로 설계되어야 합니다.

1. 결함 크기 규격 및 검사 해상도 기준 (Defect Size & Resolution Standards)

EMIB 공정의 수율을 결정짓는 핵심 요소는 검사 장비가 식별할 수 있는 **최소 결함 크기(Minimum Detectable Defect Size)**입니다. EMIB는 브릿지 내부의 TSV(Through Silicon Via)와 RDL(Redistribution Layer)이 매우 좁은 피치(Pitch)를 가지므로, 일반적인 AOI(Automated Optical Inspection) 장비로는 검출이 불가능한 영역이 존재합니다.

결함 유형 (Defect Type)	주요 발생 위치	목표 검출 크기 (Target Size)	권장 검사 해상도 (Required Resolution)
Micro-crack	Si Bridge 및 기판 경계면	1.0 ~ 5.0 μm	0.5 μm 이하
Bridge Misalignment	Bridge-to-Substrate 정렬	2.0 ~ 10.0 μm	1.0 μm 이하
RDL Open/Short	Bridge 내부 미세 회로	0.5 ~ 3.0 μm	0.3 μm 이하

Solder/Bump Void	Die Attach 및 Bridge 연결부	5.0 ~ 50.0 m	2.0 m 이하
Foreign Material	기판 매립(Embedding) 내부	1.0 ~ 20.0 m	0.5 m 이하

[기술적 상세 분석]

- **Sub-micron Defect Detection:** EMIB의 브릿지 내부 RDL은 수 마이크로미터 단위의 선폭을 가집니다. 따라서 검사 시스템은 단순한 패턴 인식을 넘어, 산란광(Scattered Light) 분석이나 고해상도 광학계를 통해 0.5 m 미만의 미세한 선폭 결함이나 단선(Open)을 잡아낼 수 있어야 합니다.
- **Critical Dimension (CD) Control:** 브릿지가 기판의 Cavity(홈)에 안착될 때, 브릿지의 모서리 부분에서 발생하는 미세한 균열(Micro-crack)은 육안이나 저해상도 검사로는 식별이 어렵습니다. 이는 열팽창 계수(CTE) 차이에 의해 후속 공정(Reflow) 단계에서 대형 파손으로 이어질 수 있으므로, 매우 높은 배율의 검사가 요구됩니다.

2. 공정 단계별 상세 검사 항목 (Detailed Inspection Items)

EMIB의 제조 흐름에 따라 검사 장비가 수행해야 할 AOI(Automated Optical Inspection) 및 AVI(Automated Visual Inspection) 항목은 다음과 같이 정의됩니다.

2.1 Bridge Fabrication & Preparation 단계

브릿지 자체가 하나의 미세 반도체 소자처럼 취급되므로, 가장 높은 수준의 검사가 수행됩니다.

- **RDL Pattern Integrity:** 브릿지 내부에 형성된 재배선층(RDL)의 패턴이 설계 치수대로 형성되었는지, 선폭(Line Width)과 간격(Space)이 규격 내에 있는지 검사합니다.
- **TSV Continuity:** 실리콘 브릿지를 관통하는 TSV의 입구(Via Opening)가 깨끗한지, 내부 결함으로 인한 단선 가능성이 없는지 확인합니다.
- **Surface Roughness & Contamination:** 브릿지 표면의 거칠기와 미세 파티클(Particle)을 검사합니다. 표면 오염은 기판 매립 시 접착력을 저하시키는 주요 원인입니다.

2.2 Embedding (기판 매립) 단계

이 단계는 EMIB 기술의 가장 독특한 공정으로, 브릿지를 유기 기판 내부에 물리적으로 고정하는 과정입니다.

- **Bridge Alignment (Critical):** 브릿지의 회로 패턴과 기판의 패드(Pad)가 정확히 일치하는지 검사합니다. 정렬 오차(Misalignment)가 허용 범위를 벗어나면 칩 실장 시 연결 불량(Interconnect Failure)이 발생합니다.
- **Cavity Filling & Void Detection:** 브릿지를 기판 홈에 넣고 에폭시(Epoxy) 등으로 채울 때, 브릿지와 기판 사이에 기포(Void)가 형성되지 않았는지 검사합니다. 기포는 전기적 절연 파괴나 구조적 불안정성을 초래합니다.
- **Coplanarity (평탄도):** 브릿지가 기판 내부에 삽입되었을 때, 상단 면이 기판 표면과 수평을 이루는지 확인합니다. 평탄도가 맞지 않으면 이후 Die Attach 공정에서 범프(Bump) 접촉 불량이 발생합니다.

2.3 Die Attach & Interconnection 단계

최종적으로 로직 다이와 HBM을 브릿지 위에 올리는 단계입니다.

- **Bump/Solder Joint Inspection:** 브릿지의 패드와 칩의 범프가 만나는 지점의 솔더링 상태를 검사합니다. 과도한 솔더(Excess Solder)로 인한 쇼트(Short)나, 불충분한 솔더로 인한 오픈(Open)을 식별하는 것이 핵심입니다.
- **Bridge-to-Die Warpage:** 칩이 실장된 후, 브릿지와 기판, 칩 사이의 열적/구조적 변형(Warpage)을 측정합니다. EMIB는 이종 재료(Si, Organic Substrate)가 결합되어 있으므로 Warpage 제어가 수율의 핵심입니다.

3. 검사 전략의 핵심 요약 (Summary of Inspection Strategy)

EMIB 검사는 "초미세 패턴의 무결성(Integrity)"과 "이종 재료 간의 정렬(Alignment)"이라는 두 가지 축으로 운영되어야 합니다.

1. **AOI의 역할:** RDL 패턴, 브릿지 정렬, 표면 파티클 등 광학적 특성이 명확한 결함을 고속으로 스캐닝하여 1차적인 수율을 확보합니다.

2. **고해상도/특수 검사의 역할:** 브릿지 내부의 미세 crack, TSV 결함, 기판 내부의 Void 등 광학적 한계를 넘어서는 결함은 X-ray 또는 고배율 초점 심도(Depth of Field)가 확보된 특수 비전 알고리즘을 통해 검출해야 합니다.

결론적으로, EMIB 양산을 위해서는 **0.5 m급의 결함을 99.9% 이상의 신뢰도로 검출할 수 있는 고해상도 비전 검사 솔루션**이 필수적이며, 이는 단순한 이미지 캡처를 넘어 재료의 물리적 특성(CTE, Warpage)을 고려한 지능형 검사 알고리즘을 포함해야 합니다.

검사 기술 적용 및 장비 요구사항 (Inspection Technology & Equipment)

EMIB(Embedded Multi-die Interconnect Bridge) 공정은 초미세 실리콘 브릿지를 유기 기판(Organic Substrate) 내부에 매립하는 고도의 정밀도를 요구하는 공정입니다. 브릿지의 크기는 수 밀리미터(mm) 단위로 작지만, 그 내부의 인터커넥트(Interconnect)는 수 마이크로미터(μm) 수준의 미세 회로로 구성되어 있어, 기존의 패키지 검사 수준을 뛰어넘는 고해상도 검사 기술과 다각적인 분석 장비의 조합이 필수적입니다. 본 섹션에서는 EMIB의 수율 확보를 위한 핵심 검사 기술과 장비가 갖추어야 할 기술적 요구사항을 분석합니다.

1. 고해상도 광학 검사 기술 (High-Resolution Optical Inspection)

EMIB 공정의 가장 큰 도전 과제는 기판 내부에 매립된 브릿지의 상단(Top-side) 노출부와 칩 실장(Die Attach) 전후의 미세 결함을 잡아내는 것입니다. 이를 위해 **자동 광학 검사(AOI, Automated Optical Inspection)** 기술은 단순한 외관 검사를 넘어, 나노미터(nm)급 분해능에 근접하는 정밀도를 확보해야 합니다.

- **초고해상도 이미지 획득 (Ultra-high Resolution Imaging):** 브릿지 내부의 RDL(Redistribution Layer) 및 미세 범프(Micro-bump)의 정렬 상태를 확인하기 위해서는 매우 높은 수치구경(NA, Numerical Aperture)을 가진 광학계가 필요합니다. 칩과 브릿지 사이의 정렬 오차(Misalignment)가 수 μm 이내로 관리되어야 하므로, 검사 장비는 최소 $0.5\mu\text{m}$ 이하의 해상도를 지원해야 합니다.
- **다각도 조명 시스템 (Multi-angle Illumination):** EMIB는 기판의 홈(Cavity) 안에 브릿지가 들어가는 구조적 특성상, 빛의 난반사와 그림자(Shadowing) 효과가 심하게 발생합니다. 이를 극복하기 위해 동축 조명(Coaxial Lighting), 저각 조명(Low-angle Lighting), 그리고 돔 조명(Dome Lighting)을 조합하여 브릿지 표면의 미세 스크래치, 잔류 에폭시(Residue), 브릿지 기울어짐(Tilt) 등을 입체적으로 검출해야 합니다.
- **AI 기반 비전 알고리즘 (AI-driven Vision Algorithm):** EMIB의 복잡한 패턴 내에서 가짜 결함(False Call)을 줄이기 위해서는 딥러닝 기반의 알고리즘이 적용되어야 합니다. 브릿지의 미세 패턴과 기판의 거친 질감을 구분하고, 공정 중 발생하는 정상적인 변동(Process Variation)과 실제 불량(Defect)을 정밀하게 판별하는 능력이 요구됩니다.

2. 비파괴 X-ray 검사 기술 (Non-destructive X-ray Inspection)

광학 검사는 브릿지의 표면(Surface)만을 확인할 수 있다는 한계가 있습니다. EMIB의 핵심인 '매립(Embedding)' 공정 이후, 기판 내부에서 발생하는 결함을 확인하기 위해서는 **3D X-ray 검사 기술**이 반드시 병행되어야 합니다.

- **고해상도 3D CT (Computed Tomography):** 브릿지가 유기 기판 내부에 완전히 매립된 상태에서는 육안이나 일반 광학 장비로 내부를 볼 수 없습니다. 따라서 X-ray를 이용한 3D CT 기술을 통해 브릿지의 매립 깊이, 기판과의 밀착 상태(Void), 그리고 브릿지 내부 TSV(Through Silicon Via)의 단선 여부를 비파괴 방식으로 검사해야 합니다.

- **미세 보이드(Void) 및 크랙(Crack) 검출:** 브릿지를 매립할 때 사용하는 언더필(Underfill)이나 에폭시 수지 내부에 기포(Void)가 발생할 경우, 이는 열팽창 계수(CTE) 차이로 인한 브릿지의 파손이나 전기적 단락을 유발합니다. X-ray 검사 장비는 수 μm 크기의 미세 보이드까지 식별할 수 있는 높은 대비(Contrast)와 해상도를 갖추어야 합니다.
- **Bump 및 Interconnect 정렬 검사:** 칩(Die)이 브릿지 위에 실장된 후, 범프와 브릿지 패드 간의 수직 정렬 상태를 확인하기 위해 고에너지 X-ray 검사가 수행됩니다. 이는 칩의 높이(Height) 불균일이나 범프의 미세한 밀림 현상을 파악하는 데 결정적인 역할을 합니다.

3. 검사 장비 기술 요구사항 요약 비교

EMIB 공정의 단계별 특성에 따라 요구되는 장비의 핵심 사양을 비교하면 다음과 같습니다.

검사 항목 (Inspection Item)	주요 검사 기술 (Primary Technology)	핵심 요구사항 (Key Requirements)	검사 목적 (Objective)
Bridge Pattern & RDL	High-Res AOI	Sub-micron Resolution, Multi-angle Lighting	브릿지 미세 회로 결함 및 패턴 정렬 확인
Embedding & Cavity	3D X-ray (CT)	High Contrast, 3D Reconstruction	기판 내 매립 상태, Void 및 Tilt 검사
Die Attach & Bump	AOI + X-ray	High Throughput, 3D Alignment Accuracy	칩-브릿지 간 범프 정렬 및 전기적 연결성 확인
Substrate Integrity	Scanning Acoustic Microscopy (SAM)	High Sensitivity to Delamination	기판-브릿지 간 계면 박리(Delamination) 검사

4. 결론 및 기술적 시사점

EMIB는 기존의 인터포저 방식보다 경제적이지만, 검사 관점에서는 '보이지 않는 곳(Embedded)'과 '매우 작은 곳(Micro-scale)'을 동시에 관리해야 하는 고난도 공정입니다. 따라서 단일 장비에 의존하기보다는 **광학(AOI)의 표면 정밀도와 X-ray의 내부 투과력을 결합한 하이브리드 검사 전략**이 필수적입니다. 특히, 양산 수율을 확보하기 위해서는 검사 속도(Throughput)를 유지하면서도 미세 결함에 대한 검출력(Sensitivity)을 극대화할 수 있는 고속 고해상도 검사 솔루션의 확보가 크레셈(Cressem)과 같은 검사장비 기업의 핵심 경쟁력이 될 것입니다.

결론 및 시사점 (Conclusion & Implications)

EMIB(Embedded Multi-die Interconnect Bridge) 기술은 기존의 Full Silicon Interposer 방식을 대체하여 비용 효율성과 성능을 동시에 잡으려는 2.5D 패키징의 핵심 솔루션입니다. 그러나 실리콘 브릿지를 유기 기판(Organic Substrate) 내부에 매립(Embedding)하는 독특한 구조적 특성으로 인해, 양산 단계에서의 수율(Yield) 확보를 위해서는 기존 패키징과는 차별화된 고도화된 검사 전략(Inspection Strategy)이 필수적입니다.

본 보고서에서 분석한 바와 같이, EMIB의 양산 수율 극대화 및 품질 보증(Quality Assurance)을 위한 핵심 시사점은 다음과 같습니다.

첫째, **검사 시점의 전방 배치(Front-loading Inspection)**를 통한 손실 최소화가 필요합니다. EMIB는 브릿지 제조 단계부터 기판 매립, 칩 실장(Die Attach)에 이르기까지 각 공정 단계마다 잠재적인 결함 발생 가능성이 존재합니다. 특히 미세한 실리콘 브릿지 자체의 RDL(Redistribution Layer) 결함이나 TSV(Through Silicon Via) 불량은 후속 공정인 기판 매립 이후에는 물리적으로 확인하기 매우 어렵습니다. 따라서 브릿지 단품 단계에서 고해상도 광학

검사(AOI)를 통해 결함을 조기에 차단함으로써, 고가의 패키지 기판과 로직 다이(Logic Die)가 투입되는 후공정에서의 매몰 비용(Sunk Cost)을 방지해야 합니다.

둘째, **다중 물리량 기반의 복합 검사 체계 구축**이 요구됩니다. EMIB는 표면의 미세 회로 결함뿐만 아니라, 기판 내부의 브릿지 정렬(Alignment) 불량 및 범프(Bump) 접합부의 미세 크랙 등 내부 결함이 치명적인 영향을 미칩니다. 따라서 표면 결함을 잡아내는 고해상도 광학 검사(Optical Inspection)와 더불어, 기판 내부의 은폐된 연결 상태를 비파괴 방식으로 확인할 수 있는 고해상도 X-ray(AXI) 및 초음파 검사(SAM) 기술의 유기적인 결합이 수율 관리의 핵심입니다.

셋째, **미세 결함(Micro-defect)에 대응하는 검사 장비의 해상도(Resolution) 확보**가 선행되어야 합니다. EMIB의 인터커넥트 밀도는 매우 높기 때문에, 수 μm 단위의 미세한 단락(Short)이나 단선(Open)을 감지할 수 있는 초정밀 비전 알고리즘과 고성능 광학 엔진이 탑재된 검사 장비가 필수적입니다. 이는 단순히 결함을 찾는 것을 넘어, 불량의 크기와 패턴을 데이터화하여 공정 산포(Process Variation)를 제어하는 데 활용되어야 합니다.

결론적으로, EMIB 공정의 성공적인 양산은 '**초미세 결함 검출 능력**'과 '**공정 단계별 데이터 피드백 루프**'의 완성도에 달려 있습니다. 크레셈(CRESSEM)을 비롯한 검사 솔루션 기업들은 EMIB의 구조적 특성을 반영한 맞춤형 검사 알고리즘과 고해상도 하드웨어를 지속적으로 개발함으로써, 고객사가 고대역폭·저전력 차세대 반도체를 안정적으로 공급할 수 있도록 지원해야 할 것입니다.