



# CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-01

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

---

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서	3
개요/배경 . . . . .	3
CoWoS 공정 흐름 및 단계별 검사 체계 . . . . .	4
단계별 주요 불량 유형(Defect Types) 분석 . . . . .	6
검사 기술 및 방법론: 광학 및 물리적 분석 . . . . .	8
AI 기반 비전 검사 알고리즘의 역할 . . . . .	10
불량 분석 사례 및 수율 개선 방안 . . . . .	12
결론 및 시사점 . . . . .	13

## CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서

TSMC의 2.5D 패키징 기술인 CoWoS(Chip on Wafer on Substrate) 공정의 주요 단계별 검사(Inspection) 프로세스를 정의하고, 각 단계에서 발생하는 주요 불량 유형과 분석 방안을 제시합니다. 고집적 패키징의 수율 확보를 위한 전기적/물리적 분석(eFA/pFA) 및 AI 비전 검사의 역할을 포함합니다.

### 개요/배경

#### 1. CoWoS(Chip on Wafer on Substrate) 기술의 정의 및 핵심 가치

반도체 산업이 미세 공정의 물리적 한계(Moore's Law Scaling Limit)에 직면함에 따라, 단일 칩의 크기를 키우는 대신 여러 개의 칩을 수평적으로 배치하여 성능을 극대화하는 **Advanced Packaging(첨단 패키징)** 기술이 핵심 경쟁력으로 부상하고 있습니다. 그 중에서도 TSMC가 주도하는 **CoWoS(Chip on Wafer on Substrate)** 기술은 **2.5D 패키징(2.5D Packaging)**의 대표적인 구현 방식으로, 로직(Logic) 칩과 고대역폭 메모리(HBM, High Bandwidth Memory)를 실리콘 인터포저(Silicon Interposer) 위에 배치하여 초고속, 초저지연 데이터 전송을 가능케 하는 고집적 패키징 솔루션입니다.

CoWoS 공정은 단순히 칩을 기판 위에 올리는 수준을 넘어, 인터포저 내부에 형성된 미세한 TSV(Through Silicon Via, 실리콘 관통 전극)와 Microbump(마이크로뮴프)를 통해 데이터 통로를 확보해야 합니다. 이는 기존의 2D 패키징 대비 훨씬 높은 수준의 정밀도를 요구하며, 인터포저라는 매개체를 통해 칩 간의 연결 밀도를 극대화함으로써 AI(인공지능), HPC(High Performance Computing), 데이터 센터용 프로세서의 성능을 결정짓는 핵심 기술로 자리 잡았습니다.

#### 2. 고집적 패키징에서 검사 공정의 중요성

CoWoS와 같은 2.5D 패키징 구조는 구성 요소 간의 연결 밀도가 극도로 높고, 적층 구조가 복잡하여 공정 난이도가 매우 높습니다. 특히 인터포저 상에 형성되는 미세 패턴과 칩 간의 연결점인 Microbump의 정렬(Alignment) 및 접합 상태는 전체 패키지의 신뢰성을 결정하는 결정적 요소입니다.

패키징 공정이 고도화될수록 다음과 같은 이유로 검사 공정의 중요성이 증대됩니다.

- **연결 밀도 증가에 따른 결함 민감도 상승:** 칩과 인터포저, 인터포저와 기판 사이의 연결점이 수만 개 이상으로 증가함에 따라, 단 하나의 연결 결함(Open/Short)만으로도 고가의 시스템 칩 전체가 불량(Scrap) 처리될 위험이 존재합니다.
- **공정 복잡도 및 비용 증가:** CoWoS 공정은 고가의 실리콘 인터포저와 HBM을 사용하므로, 공정 후반부에서 불량이 발견될 경우 발생하는 손실 비용(Cost of Yield Loss)이 막대합니다. 따라서 공정 중간 단계에서의 선제적 검사를 통한 불량 유출 방지가 필수적입니다.
- **열 및 전기적 특성 관리:** 고집적 구조는 열 밀도(Heat Density)가 높고 전기적 노이즈에 민감합니다. 미세한 패턴 결함이나 불완전한 접합은 열 방출 방해 및 신호 무결성(Signal Integrity) 저하로 이어져 제품의 수명을 단축시킬 수 있습니다.

#### 3. 수율(Yield) 관리와 경제적 영향도

반도체 제조에서 **수율(Yield)**은 기업의 수익성을 결정하는 가장 직접적인 지표입니다. 특히 CoWoS와 같은 첨단 패키징 공정에서는 수율 관리가 단순한 품질 관리를 넘어 비즈니스의 생존과 직결됩니다. 전 세계 반도체 산업에서 매년 발생하는 불량으로 인한 손실액은 무려 500억 달러를 넘어설 정도로 막대한 규모입니다 [출처: semiconductor24.tistory.com].

CoWoS 공정에서 수율을 확보하기 위해서는 다음과 같은 관점의 접근이 필요합니다.

구분	수율 영향 요소	검사 및 대응 방향
직접적 손실	불량 칩의 폐기(Scrap) 및 재작업(Rework) 비용	공정 단계별 실시간 검사(In-line Inspection)를 통한 조기 발견
간접적 손실	테스트 시간 증가 및 장비 가동률(OEE) 저하	AI 기반 자동 검사를 통한 검사 속도(Throughput) 향상
신뢰성 손실	잠재적 결함으로 인한 필드 불량(Field Failure)	전기적/물리적 분석(eFA/pFA)을 통한 근본 원인(Root Cause) 제거

결론적으로, CoWoS 공정의 성공은 "얼마나 미세한 결함을, 얼마나 빠르게, 얼마나 정확하게 찾아내어 공정에 피드백할 수 있는가"에 달려 있습니다. 본 보고서에서는 CoWoS 공정의 각 단계별로 발생할 수 있는 주요 불량 유형을 심층 분석하고, 이를 해결하기 위한 최신 광학 검사 및 AI 기반 비전 솔루션의 적용 방안을 제시하고자 합니다.

### CoWoS 공정 흐름 및 단계별 검사 체계

CoWoS(Chip on Wafer on Substrate) 기술은 TSMC가 주도하는 2.5D 패키징 솔루션으로, 로직 다이(Logic Die)와 HBM(High Bandwidth Memory)을 실리콘 인터포저(Silicon Interposer) 위에 배치하여 초고속 데이터 전송 성능을 구현하는 핵심 공정입니다. CoWoS 공정은 일반적인 패키징보다 훨씬 미세한 피치(Pitch)를 다루며, 인터포저 내의 미세 배선과 TSV(Through Silicon Via), 그리고 다이 간 연결을 위한 Microbump의 정밀도가 수율을 결정짓는 핵심 변수가 됩니다. 따라서 각 공정 단계 사이사이에 배치되는 검사 체계(Inspection Timing)는 불량이 다음 단계로 전이되어 발생하는 막대한 손실을 방지하기 위한 필수적인 방어선 역할을 합니다.

CoWoS의 전체 공정 흐름은 크게 **Interposer 제조 단계**, **Die Attach(Chip-on-Wafer) 단계**, 그리고 **Substrate 결합 단계**로 구분할 수 있습니다. 각 단계별 상세 흐름과 그에 따른 검사 체계는 다음과 같습니다.

#### 1. Interposer 형성 및 제조 단계 (Interposer Fabrication Phase)

CoWoS 공정의 기반이 되는 실리콘 인터포저를 제작하는 과정입니다. 이는 일반적인 웨이퍼 공정과 유사하지만, 훨씬 더 미세한 금속 배선(RDL, Redistribution Layer)과 수직 연결 통로인 TSV를 형성해야 합니다.

- **TSV 형성 및 Filling:** 웨이퍼에 깊은 구멍을 뚫고 구리(Cu)를 채워 넣는 과정입니다. 이 단계에서 TSV의 종횡비(Aspect Ratio) 불균형, Void(빈 공간) 발생, 혹은 Cu Filling 미흡이 발생할 수 있습니다.
- **RDL(Redistribution Layer) 형성:** 인터포저 상부에 미세한 회로 패턴을 형성하는 과정입니다. 포토레지스트(Photoresist) 도포, 노광(Exposure), 식각(Etching) 과정을 거치며 매우 정밀한 패턴이 요구됩니다. [출처: 일반 반도체 공정 지식]
- **단계별 검사 시점:** TSV 형성 직후에는 전기적 특성 검사를 통해 연결성을 확인해야 하며, RDL 패턴 형성 후에는 광학 검사(AOI, Automated Optical Inspection)를 통해 패턴의 단선(Open), 단락(Short), 혹은 미세 이물(Particle)을 탐지해야 합니다.

#### 2. Die Attach 및 Microbump 형성 단계 (Chip-on-Wafer Phase)

제조된 인터포저 위에 로직 다이와 HBM을 실장하는 단계입니다. 이 단계는 CoWoS의 수율에 가장 직접적인 영향을 미치는 구간으로, 다이 간의 정렬(Alignment) 정밀도가 핵심입니다.

- **Microbump 형성:** 다이와 인터포저를 전기적으로 연결하기 위해 수십 m 단위의 매우 작은 범프(Bump)를 형성합니다. 범프의 높이 균일성(Uniformity)과 형상(Shape)은 이후 본딩(Bonding) 품질을 결정합니다.

- **Die Attach (Flip-Chip Bonding):** 준비된 다이를 인터포저 위로 정밀하게 배치하는 공정입니다. 이때 다이와 인터포저 사이의 Microbump가 정확히 정렬되어야 하며, 물리적인 압력과 열을 가해 접합합니다.
- **단계별 검사 시점:** Microbump 형성 직후에는 범프의 크기, 높이, 간격을 측정하는 3D 검사가 수행되어야 합니다. 또한, Die Attach 직후에는 다이의 정렬 오차(Misalignment)와 접합 불량을 확인하기 위한 고해상도 비전 검사가 필수적입니다.

**3. Substrate 결합 및 최종 패키징 단계 (Substrate Integration Phase)**

인터포저와 다이가 결합된 웨이퍼(또는 인터포저)를 최종적으로 패키지 기판(Package Substrate) 위에 올리는 과정입니다.

- **C4 Bump 형성 및 결합:** 인터포저 하단에 기판과 연결될 대형 범프(C4 Bump)를 형성하고 이를 기판에 실장합니다.
- **Encapsulation (EMC):** 외부 충격 및 습기로부터 칩을 보호하기 위해 에폭시 몰딩 컴파운드(EMC)로 감싸는 과정입니다.
- **단계별 검사 시점:** 최종 결합 후에는 전체 패키지의 전기적 신호 전달 능력을 확인하는 최종 테스트(Final Test)와 함께, EMC 공정 후 내부 결함을 확인하기 위한 X-ray 검사 및 물리적 분석(pFA)이 병행됩니다.

**[CoWoS 공정 단계별 검사 체계 요약 비교]**

공정 구분	주요 공정 요소	핵심 검사 항목 (Inspection Items)	권장 검사 기술
Interposer 제조	TSV, RDL 패턴	TSV Void, RDL Open/Short, 패턴 선폭(CD)	전기적 검사, AOI, SEM
Die Attach	Microbump, Die Alignment	Bump 높이/형상, 정렬 오차(Misalignment)	3D AOI, 머신비전, X-ray
Substrate 결합	C4 Bump, EMC	기판 접합 상태, EMC Void, 패키지 외관	X-ray, AOI, eFA/pFA

CoWoS 공정은 공정 단계가 진행될수록 이전 단계에서 발생한 미세 결함이 누적되어 최종 수율을 급격히 떨어뜨리는 특성을 가집니다. 예를 들어, Interposer 단계에서 발생한 미세한 RDL 패턴의 결함은 Die Attach 단계에서 발견하기 매우 어렵고, 최종 패키징 단계에서 발견될 경우 해당 웨이퍼 전체를 폐기해야 하는 막대한 손실을 초래합니다. 따라서 전 세계 반도체 산업에서 발생하는 연간 500억 달러 이상의 불량 손실을 줄이기 위해서는, 각 공정 단계별로 최적화된 검사 타이밍(Inspection Timing)을 설정하고 AI 기반의 고정밀 비전 검사 솔루션을 도입하는 것이 필수적입니다. [출처: 일반 반도체 산업 데이터]

## CoWoS Process Flow & Inspection Framework



### 단계별 주요 불량 유형(Defect Types) 분석

CoWoS(Chip on Wafer on Substrate) 공정은 TSV(Through Silicon Via, 실리콘 관통 전극), Silicon Interposer, Microbump 등 초미세 피치(Fine Pitch) 기술이 집약된 고집적 패키징 기술입니다. 공정 단계가 복잡해지고 연결 밀도가 높아짐에 따라, 각 구성 요소에서 발생하는 결함은 단순한 개별 불량을 넘어 전체 패키지의 전기적 연결성(Interconnectivity)과 열적 신뢰성(Thermal Reliability)에 치명적인 영향을 미칩니다. 전 세계 반도체 산업에서 매년 발생하는 불량으로 인한 손실액이 500억 달러를 상회한다는 점을 고려할 때, 단계별 불량 유형을 정밀하게 분류하고 식별하는 것은 수율(Yield) 확보의 핵심입니다. [출처: semiconductor24.tistory.com]

본 섹션에서는 CoWoS 공정의 핵심 구성 요소인 TSV, Interposer, Microbump를 중심으로 발생 가능한 주요 결함(Defect)을 기술적 관점에서 상세히 분석합니다.

#### 1. TSV(Through Silicon Via) 관련 결함 분석

TSV는 실리콘 웨이퍼를 수직으로 관통하여 상부 칩과 하부 인터포저 간의 전기적 신호를 전달하는 핵심 통로입니다. TSV 형성 공정(Etching, Deposition, Filling) 중 발생하는 결함은 후속 공정에서 발견하기 매우 어렵기 때문에 초기 단계의 정밀 검사가 필수적입니다.

결함 유형 (Defect Type)	상세 설명 (Description)	발생 원인 및 영향 (Root Cause & Impact)
Void (보이드)	TSV 내부의 구리(Cu) 충전(Filling) 과정에서 기포나 빈 공간이 발생하는 현상	<b>원인:</b> 전해 도금(Electroplating) 시 전류 밀도 불균형 또는 가스 배출 미흡 <b>영향:</b> 저항(Resistance) 증가 및 열 방출 저해, 전기적 단선(Open) 유발
Scallop (스칼롭)	DRIE(Depth Reactive Ion Etching) 공정 중 식각 벽면이 매끄럽지 못하고 물결 모양으로 형성되는 결함	<b>원인:</b> 식각 가스와 반응 가스의 불균형으로 인한 비등방성 식각 제어 실패 <b>영향:</b> 절연막(Insulation Layer) 증착 불량 및 응력(Stress) 집중으로 인한 크랙 발생
TSV Misalignment	설계된 위치에서 TSV의 중심축이 이탈하여 형성되는 결함	<b>원인:</b> 포토 공정(Photolithography) 시 정렬(Alignment) 오류 또는 웨이퍼 왜곡 <b>영향:</b> 상부 Die의 Microbump와의 정렬 불량 및 연결 불능

<p><b>High Resistance (고저항)</b></p>	<p>TSV의 물리적 형상은 유지되나 전기적 특성이 저하된 상태</p>	<p><b>원인:</b> TSV 내부 불순물 유입 또는 Barrier Metal(Ta/TaN)의 연속성 결여 <b>영향:</b> 신호 지연(Signal Delay) 및 전력 소모 증가</p>
-------------------------------------	-----------------------------------------	------------------------------------------------------------------------------------------------------------

**2. Silicon Interposer 및 미세 패턴 결함 분석**

Interposer는 HBM(High Bandwidth Memory)과 로직 칩(Logic Die) 사이를 연결하는 고밀도 배선층입니다. 매우 좁은 간격(Pitch)으로 형성되는 금속 배선(Metal Line)과 절연층(Dielectric)에서의 결함은 Short(단락)와 Open(단선)의 직접적인 원인이 됩니다.

• **Metal Line Short (배선 단락):**

Interposer 내의 미세 패턴 형성 과정에서 금속 배선 간에 원치 않는 연결이 발생하는 현상입니다. 이는 주로 CMP(Chemical Mechanical Polishing) 공정 후 잔류 금속(Metal Residue)이 남거나, 포토레지스트(Photoresist) 패턴의 해상도 저하로 인해 배선 간 간격(Spacing)이 좁아질 때 발생합니다. Short 결함은 전기적 테스트(eFA) 단계에서 즉각적인 기능 불량으로 나타납니다. [출처: jubrodev.tistory.com]

• **Pattern Discontinuity (패턴 불연속/Open):**

배선이 중간에 끊어지는 현상으로, 식각(Etching) 공정에서 과도한 식각(Over-etching)이 발생하거나 증착된 금속층의 부착력(Adhesion)이 약해 박리(Peeling)될 때 발생합니다. 이는 데이터 전송 경로를 차단하여 칩 전체의 작동을 불가능하게 만듭니다.

• **Dielectric Breakdown (절연 파괴):**

층간 절연막(ILD, Interlayer Dielectric)의 두께가 불균일하거나 내부에 미세한 Pin-hole이 존재할 경우, 고전압 인가 시 절연 특성이 무너지는 현상입니다. 이는 패키지의 장기 신뢰성을 저하시키는 주요 요인입니다.

**3. Microbump 및 Die Attach 결함 분석**

CoWoS의 최종 연결 단계인 Microbump는 칩과 인터포저를 물리적·전기적으로 결합하는 초미세 솔더 볼(Solder Ball)입니다. 이 단계의 결함은 패키징의 최종 수율을 결정짓는 핵심 요소입니다.

결함 유형 (Defect Type)	상세 설명 (Description)	발생 원인 및 영향 (Root Cause & Impact)
<p><b>Misalignment (미정렬)</b></p>	<p>Microbump가 설계된 Pad 위치를 벗어나 배치되는 결함</p>	<p><b>원인:</b> Pick-and-Place 장비의 정밀도 저하 또는 Substrate의 Warpage(휘어짐) <b>영향:</b> 연결 불량(Open) 또는 인접 Bump와의 Short 발생</p>
<p><b>Solder Bridging (브릿징)</b></p>	<p>인접한 두 개 이상의 Microbump가 솔더로 연결되어 하나로 뭉치는 현상</p>	<p><b>원인:</b> Reflow(재흐름) 공정 시 과도한 열량 또는 솔더 페이스트의 과도한 도포 <b>영향:</b> 치명적인 전기적 Short 유발</p>
<p><b>Void in Solder (솔더 내 보이드)</b></p>	<p>Microbump 내부 또는 Bump와 Pad 사이의 계면에 기포가 존재하는 현상</p>	<p><b>원인:</b> 리플로우 공정 중 플럭스(Flux)의 잔류 또는 산화물 제거 미흡 <b>영향:</b> 접합 강도 약화 및 열 사이클 테스트(TC Test) 시 크랙 전파</p>

<p><b>Non-Wet (미접합)</b></p>	<p>솔더가 Pad 표면에 제대로 젖어 들지 못하여 접합이 이루어지지 않은 상태</p>	<p><b>원인:</b> Pad 표면의 산화(Oxidation) 또는 세정 불량 <b>영향:</b> 전기적 연결 불량(Open) 및 기계적 강도 저하</p>
-----------------------------	--------------------------------------------------	---------------------------------------------------------------------------------------------

**4. 결함 분석의 기술적 접근: eFA와 pFA의 통합**

CoWoS와 같은 고집적 패키지에서 위와 같은 결함을 규명하기 위해서는 전기적 분석(eFA)과 물리적 분석(pFA)의 유기적인 결합이 필수적입니다.

**1. 전기적 분석 (eFA, Electrical Failure Analysis):**

전기적 신호의 흐름을 측정하여 불량 위치를 특정합니다. IV(Current-Voltage) 측정, TDR(Time Domain Reflectometry) 등을 통해 Short와 Open의 위치를 추정하며, 이는 물리적 분석을 위한 가이드라인을 제공합니다. [출처: jubrodev.tistory.com]

**2. 물리적 분석 (pFA, Physical Failure Analysis):**

eFA를 통해 특정된 위치를 대상으로 정밀 검사를 수행합니다.

- **광학 검사 (AOI, Automated Optical Inspection):** 머신비전 기술을 활용하여 표면의 Misalignment, Bridging, Residue 등을 고속으로 탐지합니다.
- **전자현미경 (SEM/TEM):** 나노미터(nm) 단위의 미세 구조를 관찰하여 TSV 내부의 Void나 Microbump 계면의 결함을 직접 확인합니다. [출처: semiconductor24.tistory.com]
- **X-ray/CT:** 비파괴 방식으로 패키지 내부의 Bump 상태나 Interposer 내부의 단선 여부를 투과하여 관찰합니다.

이러한 다각적 분석을 통해 단순한 불량 식별을 넘어, 공정 조건(Temperature, Pressure, Time)과의 상관관계를 도출함으로써 예방적 품질관리(Preventive Quality Control) 체계를 구축할 수 있습니다. [출처: semiconductor24.tistory.com]

**검사 기술 및 방법론: 광학 및 물리적 분석**

CoWoS(Chip on Wafer on Substrate) 공정은 초미세 피치(Fine Pitch)의 Microbump와 고밀도 Interposer를 다루는 극도로 정밀한 패키징 기술입니다. 이 공정에서 발생하는 결함은 나노미터(nm) 단위의 미세한 차이로 결정되기에, 단순한 육안 검사를 넘어선 다각적인 검사 기술 체계가 필수적입니다. 본 섹션에서는 실시간 공정 모니터링을 위한 머신비전 기반 광학 검사(AOI)와 결함의 근본 원인을 규명하기 위한 전기적/물리적 분석(eFA/pFA) 방법론을 심도 있게 분석합니다.

**1. 머신비전 기반 광학 검사 (AOI: Automated Optical Inspection)**

광학 검사는 CoWoS 공정의 각 단계에서 제품의 손상을 최소화하면서 실시간으로 결함을 탐지할 수 있는 1차적인 방어선입니다. 특히 고해상도 카메라와 정밀 조명 시스템을 결합한 AOI 기술은 대량 양산 체제에서 수율을 결정짓는 핵심 요소입니다.

**1.1 광학 검사의 핵심 메커니즘**

AOI 시스템은 고해상도 이미지 센서를 통해 획득한 영상 데이터에서 설정된 골든 패턴(Golden Pattern) 혹은 AI 학습 모델과 비교하여 이상치를 찾아냅니다. CoWoS 공정에서는 Interposer의 회로 패턴, Microbump의 정렬(Alignment) 상태, 그리고 Die Attach 후의 접합부 상태를 검사합니다. 이때 조명 기술은 매우 중요한데, 표면의 반사율 차이를 이용하여 결함을 부각시키는 동축 조명(Coaxial Lighting)이나 특정 각도에서 빛을 조사하는 저각 조명(Low-angle Lighting)이 복합적으로 사용됩니다.

**1.2 AOI 기술의 적용 범위 및 특성**

AOI는 비파괴(Non-destructive) 검사라는 강력한 장점이 있어, 공정 중간 단계에서 연속적인 검사가 가능합니다.

검사 유형	주요 검사 대상 (Target)	주요 검사 항목 (Inspection Items)	비고
Pattern Inspection	Interposer 회로 패턴	Open/Short, Line Width 미달, 패턴 끊김	포토공정 직후 수행
Bump Inspection	Microbump 및 TSV 상단	Bump 높이 불균일, Missing Bump, Bridging	Bump 형성 및 재배선 단계
Alignment Inspection	Die-to-Interposer 정렬	X-Y Offset, Rotation, Tilt	Die Attach 공정 시 수행
Surface Inspection	웨이퍼 및 기판 표면	Particle, Scratch, Contamination	공정 전/후 세정 상태 확인

## 2. 불량 분석(Failure Analysis, FA) 방법론: eFA와 pFA의 통합 접근

AOI를 통해 불량이 식별되면, 해당 불량이 전기적 신호 전달에 어떤 영향을 미치는지, 그리고 물리적으로 어떤 구조적 결함인지를 규명하기 위해 불량 분석(Failure Analysis) 단계로 진입합니다. FA는 크게 전기적 분석(eFA)과 물리적 분석(pFA)으로 구분되며, 이 두 과정은 상호 보완적으로 작동하여 공정 피드백 루프를 완성합니다. [출처: jubrodev.tistory.com]

### 2.1 전기적 불량 분석 (eFA: Electrical Failure Analysis)

eFA는 물리적 파괴를 가하기 전, 전기적 신호의 흐름을 측정하여 불량의 위치를 특정하는 단계입니다. CoWoS와 같은 고집적 구조에서는 미세한 단락(Short)이나 단선(Open)이 전체 패키지의 동작 불능을 초래하므로 매우 정밀한 측정이 요구됩니다.

- **Probe Testing:** 미세한 프로브 카드를 사용하여 Bump 또는 Pad에 직접 접촉하여 전기적 특성을 측정합니다.
- **IV Curve Analysis:** 전류-전압 곡선을 분석하여 소자의 누설 전류(Leakage Current)나 저항 변화를 감지합니다.
- **Emission Microscopy (EMMI):** 반도체 소자가 동작할 때 불량 부위에서 발생하는 미세한 빛(Photon)을 감지하여 결함 위치를 시각화합니다. 이는 주로 누설 전류나 정전기(ESD)로 인한 손상을 찾는 데 효과적입니다.

### 2.2 물리적 불량 분석 (pFA: Physical Failure Analysis)

eFA를 통해 불량의 위치가 특정되면, pFA를 통해 실제 물리적 형상을 관찰하고 파괴적인 방법으로 원인을 규명합니다. [출처: jubrodev.tistory.com]

- **SEM (Scanning Electron Microscopy):** 전자빔을 사용하여 나노미터 단위의 해상도로 표면을 관찰합니다. CoWoS의 Microbump 형상이나 Interposer의 미세 패턴 결함을 확인하는 데 표준적으로 사용되는 장비입니다.
- **FIB (Focused Ion Beam):** 이온빔을 사용하여 특정 결함 부위를 정밀하게 절단(Cross-section)하거나 깎아내는 기술입니다. 3차원 구조인 CoWoS의 내부(예: TSV 내부의 Void)를 관찰하기 위해 필수적입니다.
- **TEM (Transmission Electron Microscopy):** SEM보다 훨씬 높은 해상도가 필요한 경우, 초박편 시편을 제작하여 원자 단위의 구조적 결함을 분석합니다.
- **X-ray Inspection (3D CT):** 비파괴 방식으로 내부의 Bump 적층 상태나 TSV의 충전(Filling) 상태를 3차원으로 재구성하여 확인합니다.

## 3. 검사 기술의 통합 및 고도화 방향

CoWoS 공정의 수율 극대화를 위해서는 AOI와 FA 간의 데이터 연동이 필수적입니다. 과거에는 AOI에서 발견된 불량이 단순히 '불량'으로 분류되고 끝났으나, 최근에는 AI 비전 알고리즘을 결합하여 AOI 단계에서 탐지된 패턴을 기반으로 FA의 분석 경로를 자동으로 제안하는 수준으로 발전하고 있습니다.

### 3.1 검사 기술 간의 상관관계 분석

구분	광학 검사 (AOI)	전기적 분석 (eFA)	물리적 분석 (pFA)
목적	실시간 불량 탐지 및 수율 모니터링	불량 위치 특정 및 전기적 특성 파악	근본적 물리 원인 규명 (Root Cause)
파괴성	비파괴 (Non-destructive)	비파괴/준파괴 (Semi-destructive)	파괴 (Destructive)
분석 속도	매우 빠름 (High Throughput)	보통	느림 (Low Throughput)
해상도	마이크로/나노 단위 (광학 한계 존재)	전기적 특성 중심	원자/나노 단위 (초고해상도)
주요 역할	"어디에 불량이 있는가?"	"전기적으로 어떤 문제가 있는가?"	"왜 물리적으로 발생했는가?"

### 3.2 기술적 도전 과제와 해결책

CoWoS 공정이 더욱 미세화됨에 따라, 광학 검사의 해상도 한계(Diffraction Limit)를 극복하기 위한 초해상도(Super-resolution) 알고리즘과 Deep Learning 기반의 노이즈 제거 기술이 도입되고 있습니다. 또한, 불량 분석 과정에서 발생하는 막대한 양의 데이터를 효율적으로 처리하기 위해, AI를 활용한 자동 불량 분류(Automatic Defect Classification, ADC) 시스템이 도입되어 분석 시간을 획기적으로 단축시키고 있습니다. 이러한 기술적 융합은 단순히 불량을 찾는 것을 넘어, 공정 중 발생하는 변수를 사전에 예측하여 예방적 품질관리(Preventive Quality Control)를 구현하는 방향으로 진화하고 있습니다. [출처: semiconductor24.tistory.com]

## AI 기반 비전 검사 알고리즘의 역할

CoWoS(Chip on Wafer on Substrate)와 같은 2.5D/3D 패키징 공정은 기존의 범프(Bump) 크기보다 훨씬 미세한 마이크로범프(Microbump)와 고밀도 인터포저(Interposer) 패턴을 다룹니다. 이러한 초미세 공정에서는 전통적인 룰 기반(Rule-based) 비전 검사 방식만으로는 한계가 명확합니다. 따라서 최근 반도체 제조 현장에서는 딥러닝(Deep Learning) 기반의 AI 비전 검사(AI Vision Inspection)를 도입하여 검사의 정밀도와 자동화 수준을 혁신하고 있습니다.

### 1. 미세 패턴 및 난해 공정에서의 불량 탐지 자동화

전통적인 머신비전 알고리즘은 사전에 정의된 기하학적 규칙(예: 특정 크기 이상의 선폭 변화, 특정 패턴의 유무)을 바탕으로 불량을 식별합니다. 그러나 CoWoS 공정의 핵심인 TSV(Through Silicon Via) 주변의 미세한 패턴 변형이나, 인터포저 내의 복잡한 회로 패턴에서는 '정상(Normal)'과 '불량(Defect)'의 경계가 매우 모호합니다.

AI 기반 비전 검사는 이러한 난해한 공정 문제를 해결하기 위해 다음과 같은 메커니즘을 활용합니다.

- **비정형 결함 탐지(Unstructured Defect Detection):** 룰 기반 방식은 정의되지 않은 형태의 결함을 놓치기 쉽지만, AI는 수만 장의 양품(Good Die) 이미지를 학습하여 정상 패턴의 특징(Feature)을 스스로 추출합니다. 이를 통해 학습 데이터에 포함되지 않은 새로운 형태의 미세 결함이라 할지라도, 정상 패턴과의 통계적 괴리를 통해

즉각적으로 식별해낼 수 있습니다.

- **과검(Overkill) 및 미검(Underkill)의 최소화:** 기존 방식은 불량을 놓치지 않기 위해 검사 감도를 높이면, 정상 제품을 불량으로 판정하는 '과검(Overkill)' 문제가 발생하여 수율 산정에 혼선을 주었습니다. AI 알고리즘은 딥러닝 기반의 특징 추출을 통해 미세한 노이즈와 실제 결함을 구분함으로써, 검사 정확도를 극대화하고 불필요한 재검사 비용을 절감합니다.
- **복잡한 광학 조건 대응:** CoWoS 공정의 금속층(Metal Layer)은 빛의 반사율이 매우 높아 광학 검사 시 난반사가 빈번하게 발생합니다. AI 비전 알고리즘은 이러한 광학적 노이즈를 학습 데이터의 일부로 처리하거나, 이미지 전처리 단계에서 노이즈를 제거하는 능력이 탁월하여 환경 변화에 강건한 검사를 수행합니다.

## 2. Defect Classification을 통한 불량 유형 자동 분류

단순히 불량을 찾아내는 것(Detection)을 넘어, 발견된 결함이 어떤 종류인지 분류(Classification)하는 기술은 공정 개선의 핵심입니다. AI 비전 시스템은 검출된 결함 이미지를 기반으로 결함의 유형을 실시간으로 분류합니다.

분류 항목	주요 특징 및 AI 분석 내용	공정 피드백 대상
Bridge (Short)	인접한 Microbump 또는 패턴 간의 비정상적 연결	포토공정(Photolithography) 및 에칭(Etching)
Open (Discontinuity)	패턴의 끊김 또는 Microbump의 미형성/탈락	도금(Plating) 및 CMP(Cheical Mechanical Polishing)
Particle/Contamination	표면의 미세 이물질 및 잔류물	세정(Cleaning) 및 이송(Handling) 공정
Deformation	패턴의 왜곡, 변형 또는 비정상적인 형상	식각(Etching) 및 열처리(Thermal Process)

AI는 CNN(Convolutional Neural Network) 기반의 분류 모델을 사용하여, 검출된 결함이 'Bridge'인지 'Particle'인지를 수 밀리초(ms) 이내에 판별합니다. 이는 단순한 불량 선별을 넘어, 불량 원인이 되는 특정 공정 단계를 즉각적으로 특정할 수 있게 합니다.

## 3. Smart Factory 구현을 위한 수율 예측 모델링(Yield Prediction)

AI 비전 검사 데이터는 단순한 검사 결과물에 그치지 않고, 스마트 팩토리(Smart Factory)를 구현하기 위한 핵심 자산인 '데이터'로 전환됩니다. 검사 과정에서 축적된 대규모의 불량 데이터와 공정 파라미터(Parameter)를 결합하면, 실시간 수율 예측 모델링이 가능해집니다.

- **데이터 기반의 예방적 품질관리(Proactive Quality Control):** 특정 공정 단계에서 발생하는 미세 결함의 빈도와 패턴 변화를 AI가 실시간 모니터링합니다. 예를 들어, 특정 장비의 부품 교체 시점이 다가오거나 공정 조건이 임계치에 도달할 때, 불량률이 급증하기 전 징후를 포착하여 사전 경고를 보냅니다.
- **수율 최적화 루프(Yield Optimization Loop):** AI 모델은 '검사 데이터 → 불량 유형 분석 → 공정 파라미터 조정 → 수율 변화 확인'으로 이어지는 폐쇄 루프(Closed-loop)를 형성합니다. 이를 통해 인간 엔지니어가 수일간 분석해야 했던 데이터를 AI가 즉각 처리함으로써, 수율 손실을 최소화하고 생산성을 극대화합니다.

결론적으로, AI 기반 비전 검사 알고리즘은 CoWoS와 같은 초고집적 패키징 공정에서 발생하는 미세 결함을 정밀하게 탐지하고, 이를 지능적으로 분류하며, 최종적으로는 공정 전체의 수율을 예측하고 제어하는 스마트 제조의 중추적인 역할을 수행합니다. [일반 지식 기반 작성]

## 불량 분석 사례 및 수율 개선 방안

CoWoS(Chip on Wafer on Substrate) 공정은 초미세 피치(Fine Pitch)의 Microbump와 TSV(Through Silicon Via)를 다루는 고난도 패키징 기술이므로, 단일 결함이 전체 패키지의 전기적 연결성을 상실시켜 막대한 경제적 손실을 야기합니다. 전 세계 반도체 산업에서 매년 발생하는 불량으로 인한 손실액은 500억 달러를 상회하는 것으로 알려져 있으며 [출처: semiconductor24.tistory.com], 이를 방지하기 위해서는 단순한 결함 식별을 넘어 근본 원인 분석(Root Cause Analysis, RCA)을 통한 공정 피드백 루프(Feedback Loop) 구축이 필수적입니다.

### 1. 주요 불량 시나리오별 원인 규명 (Root Cause Analysis)

CoWoS 공정 중 발생할 수 있는 대표적인 불량 시나리오를 전기적 분석(eFA)과 물리적 분석(pFA) 관점에서 분류하면 다음과 같습니다.

불량 유형 (Defect Type)	발생 현상 (Phenomenon)	추정 근본 원인 (Root Cause)	분석 방법론 (Analysis Method)
TSV Open/Short	신호 전달 불가능 또는 인접 Via 간 단락	TSV 식각(Etching) 불량, Cu Fill(충진) 시 Void 발생, CMP(Cheical Mechanical Polishing) 과도/부족	eFA(전기적 특성 측정), pFA(Cross-section SEM)
Microbump Misalignment	Bump 간 접합 불량 및 간격 불균일	Die Attach 시 정렬(Alignment) 오차, Flux 잔류물에 의한 브릿지(Bridge) 현상	AOI(광학 자동 검사), SEM(전자 현미경)
Interposer Pattern Defect	회로 단선 또는 패턴 왜곡	포토공정(Photolithography) 시 노광 불균일, 식각 공정의 선택비(Selectivity) 문제	AOI, TEM(투과 전자 현미경)
Warping-induced Crack	패키지 내부 층간 균열	열팽창 계수(CTE) 차이에 의한 열 응력, 공정 중 급격한 온도 변화	비파괴 검사(X-ray), 물리적 단면 분석

#### [사례 분석 1: TSV 내부 Void로 인한 전기적 불량]

TSV 내부의 구리(Cu) 충전 과정에서 미세한 기포(Void)가 발생할 경우, 전기적 특성 검사(eFA) 단계에서 특정 신호의 저항값이 급격히 상승하거나 Open 불량이 검출됩니다. 이를 해결하기 위해 물리적 분석(pFA)인 단면 분석(Cross-sectioning)을 수행하여 TSV 내부의 기포 위치와 크기를 측정합니다. 만약 Void가 특정 웨이퍼 영역에 집중된다면, 이는 전해 도금(Electroplating) 공정의 전류 밀도 불균일이나 세정 공정의 미흡을 의미하므로 해당 설비의 파라미터를 즉시 조정해야 합니다.

#### [사례 분석 2: Microbump Bridging 및 정렬 불량]

CoWoS의 핵심인 Interposer와 Die 간의 접합부에서 Microbump가 서로 붙어버리는 Bridging 현상은 쇼트(Short) 불량의 주원인입니다. 이는 주로 Die Attach 공정에서의 정렬 오차나, 과도한 Flux 사용으로 인한 잔류물(Residue) 때문에 발생합니다. 고해상도 광학 검사(AOI)를 통해 패턴의 형상을 분석하고, AI 비전 알고리즘을 적용하여 육안으로 식별하기 어려운 미세한 브릿지 징후를 사전 포착함으로써 대량 불량을 방지할 수 있습니다.

### 2. 수율 개선을 위한 공정 피드백 루프(Feedback Loop) 구축

수율(Yield) 향상은 불량을 찾아내는 것에서 끝나는 것이 아니라, 검사 데이터를 제조 공정(Front-end/Back-end)으로 환류시켜 재발을 방지하는 시스템적 접근이 필요합니다.

### ① 데이터 통합 및 상관관계 분석 (Data Correlation)

검사 장비(AOI, eFA, pFA)에서 수집된 불량 데이터와 제조 공정의 파라미터(온도, 압력, 가스 유량, 시간 등)를 통합 관리해야 합니다. 예를 들어, 특정 시점에 발생한 Microbump 불량 데이터가 CMP 공정의 압력 변동 데이터와 높은 상관관계를 보인다면, 이는 검사 결과가 공정 제어의 직접적인 근거가 됨을 의미합니다.

### ② AI 기반의 예방적 품질 관리 (Predictive Quality Control)

단순히 '불량이다/아니다'를 판정하는 Pass/Fail 검사를 넘어, AI 학습을 통해 불량률의 전조 현상을 파악하는 단계로 진화해야 합니다. 제품 개발 단계부터 축적된 데이터를 기반으로 성능을 예측하고, 공정 산포(Process Variation)가 임계치에 도달하기 전에 설비를 점검하는 예방 정비(Preventive Maintenance) 체계를 구축함으로써 난해 공정의 자동화와 수율 안정화를 동시에 달성할 수 있습니다 [출처: ssl.pstatic.net].

### ③ 실시간 공정 피드백 (Real-time Feedback Loop) 구조

1. **Detection (검사):** AOI 및 전기적 검사를 통해 실시간 결함 탐지.
2. **Classification (분류):** AI 비전 알고리즘을 통해 결함의 유형(Void, Bridge, Crack 등)을 자동 분류.
3. **Root Cause Identification (원인 규명):** 분류된 데이터를 바탕으로 공정 데이터와 매칭하여 근본 원인 도출.
4. **Action (조치):** 공정 파라미터(Recipe) 자동 수정 또는 설비 정지 및 점검.
5. **Verification (검증):** 조치 후 생산된 제품의 수율 변화를 모니터링하여 루프 완결.

이러한 선순환 구조는 불량률을 획기적으로 낮출 뿐만 아니라, CoWoS와 같은 고집적 패키징 공정에서 발생하는 복잡한 결함에 대해 신속하고 정확한 대응을 가능하게 하여 제조 경쟁력을 결정짓는 핵심 요소가 됩니다.

## 결론 및 시사점

CoWoS(Chip on Wafer on Substrate) 공정은 초미세 피치(Fine Pitch)의 인터포저(Interposer)와 수만 개의 마이크로뮴프(Microbump)를 다루는 고집적 패키징(High-Density Packaging) 기술의 정점입니다. 본 보고서에서 살펴본 바와 같이, 공정의 복잡도가 기하급수적으로 증가함에 따라 기존의 단순 검사 방식을 넘어선 고도화된 검사 전략(Inspection Strategy) 수립이 반도체 제조사의 경쟁력을 결정짓는 핵심 요소로 부상하였습니다.

차세대 패키징 시장에서 수율(Yield)을 확보하고 손실을 최소화하기 위해서는 다음과 같은 세 가지 전략적 방향성이 요구됩니다.

첫째, **검사 기술의 고도화 및 통합(Integration of Inspection Technologies)**입니다. TSV(Through Silicon Via) 및 미세 패턴의 결함은 육안이나 기존 광학 장비만으로는 탐지가 불가능한 수준에 도달했습니다. 따라서 머신비전 기반의 광학 검사(AOI)와 더불어 전기적 분석(eFA) 및 물리적 분석(pFA)을 유기적으로 결합하여, 결함의 위치(Location)를 찾는 것을 넘어 발생 원인(Root Cause)을 즉각적으로 규명할 수 있는 통합 분석 솔루션이 필수적입니다.

둘째, **AI 기반의 지능형 자동화(AI-driven Automation)**입니다. 데이터 학습을 통한 불량 탐지 자동화는 단순한 속도 향상을 넘어, 난해 공정(Difficult Process)에서의 미세 결함을 식별하고 수율을 사전에 예측하는 모델링을 가능하게 합니다. 이는 제품 개발 단계부터 양산 단계까지 데이터 피드백 루프를 구축하여 예방적 품질관리(Preventive Quality Control) 체계를 완성하는 기반이 됩니다.

셋째, **차세대 패키징 로드맵(Future Roadmap)에 대응하는 장비 경쟁력 확보**입니다. 2.5D 및 3D 패키징 기술이 가속화됨에 따라 검사 대상의 밀도와 정밀도는 더욱 높아질 것입니다. 고정밀 검사 장비는 단순한 품질 확인 도구가

아니라, 공정 최적화를 유도하고 제조 원가를 절감하는 전략적 자산(Strategic Asset)으로 인식되어야 합니다.

결론적으로, CoWoS 공정의 성공은 '얼마나 미세한 결함을, 얼마나 빠르게, 얼마나 정확한 원인과 함께 찾아내는가'에 달려 있습니다. 고정밀 비전 검사 기술과 AI 분석 솔루션의 결합은 향후 반도체 패키징 시장의 주도권을 결정짓는 핵심 동력이 될 것입니다.