

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-01

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서	3
개요/배경	3
CoWoS 주요 공정 흐름도 (Process Flow)	4
단계별 검사 프로세스 (Inspection Roadmap)	5
주요 불량 유형 분석 (Defect Taxonomy)	7
불량 분석 방법론 (Failure Analysis)	9
검사 장비 기술 트렌드 및 대응 전략	11
결론 및 시사점	12

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서

TSMC의 CoWoS(Chip on Wafer on Substrate) 패키징 공정 내 주요 단계별 검사(Inspection) 프로세스를 정의하고, 각 단계에서 발생하는 주요 불량 유형과 분석 방법론을 체계적으로 정리합니다. 본 보고서는 고성능 컴퓨팅(HPC)용 반도체의 수율 확보를 위한 핵심 검사 포인트를 제시합니다.

개요/배경

1. CoWoS(Chip on Wafer on Substrate) 기술의 정의 및 메커니즘

CoWoS(Chip on Wafer on Substrate)는 TSMC가 주도하는 대표적인 2.5D 패키징(2.5D Packaging) 기술로, 고성능 컴퓨팅(HPC) 및 인공지능(AI) 가속기 구현을 위한 핵심 패키징 솔루션입니다. 기존의 2D 패키징이 단일 칩의 성능에 의존했다면, CoWoS는 실리콘 인터포저(Silicon Interposer)라는 미세 회로 층을 활용하여 로직 다이(Logic Die, 예: GPU/NPU)와 고대역폭 메모리(HBM, High Bandwidth Memory)를 하나의 기판 위에 수평적으로 배치하고 초고속 데이터 통신을 가능하게 합니다.

이 기술의 핵심은 인터포저 상에 형성된 미세한 배선(Fine-pitch Interconnect)을 통해 로직 칩과 HBM 사이의 데이터 전송 경로를 극단적으로 단축하고, 대역폭(Bandwidth)을 비약적으로 확장하는 데 있습니다. 이를 위해 수십 μm 이하의 미세 피치(Fine-pitch)를 가진 마이크로범프(Microbump) 접합 기술이 필수적으로 요구됩니다. 따라서 CoWoS 공정은 단순한 조립 단계를 넘어, 초미세 회로 패턴의 정밀도와 다이 간의 전기적 연결 신뢰성을 확보해야 하는 고난도 공정의 집합체라고 할 수 있습니다. [일반 지식 기반 작성]

2. 2.5D 패키징 시장의 급성장과 CoWoS의 전략적 가치

최근 생성형 AI(Generative AI)의 폭발적인 성장과 함께 대규모 언어 모델(LLM)을 구동하기 위한 초거대 AI 가속기 수요가 급증하고 있습니다. NVIDIA의 H100, B200과 같은 최첨단 AI 가속기는 막대한 양의 데이터를 처리해야 하므로, 메모리와 프로세서 사이의 병목 현상을 해결하는 것이 성능의 핵심입니다. CoWoS는 이러한 병목 현상을 해결할 수 있는 가장 검증된 2.5D 패키징 솔루션으로 자리 잡았으며, 이에 따라 TSMC의 CoWoS 생산 용량 확보가 글로벌 반도체 공급망의 핵심 변수로 부상하였습니다. [출처: m.blog.naver.com/jkhan012/223205899066]

특히, 데이터 센터 및 클라우드 서비스 제공업체(CSP)들이 자체 AI 칩 설계를 가속화함에 따라, Broadcom, Marvell, AMD와 같은 대형 설계 자산(IP) 및 설계 기업(Fabless)들의 CoWoS 수요는 지속적으로 증가하는 추세입니다. [출처: m.blog.naver.com/jkhan012/223205899066] 이러한 시장 구조의 변화는 2.5D 패키징이 더 이상 보조적인 공정이 아닌, 반도체 성능을 결정짓는 핵심 패러다임 시프트(Paradigm Shift)임을 시사합니다. [출처: ssl.pstatic.net/imgstock/upload/research/industry/1683679716802.pdf]

3. 수율 관리(Yield Management) 및 검사 프로세스의 필연성

CoWoS 공정은 공정 단계가 복잡하고, 사용되는 부품(Die)의 단가가 매우 높다는 특징이 있습니다. 로직 다이와 HBM은 각각 수천 달러를 호가하는 고가 부품이며, 이를 인터포저 위에 배치하고 결합하는 과정에서 발생하는 단 하나의 미세 결함(Defect)만으로도 제품 전체를 폐기해야 하는 막대한 경제적 손실이 발생합니다. 따라서 공정 전반에 걸친 정밀한 수율 관리(Yield Management)는 제조사의 수익성과 직결되는 가장 중요한 요소입니다.

CoWoS 공정에서 발생할 수 있는 주요 리스크는 다음과 같습니다.

구분	주요 리스크 요인	영향도
----	-----------	-----

미세 공정 결함	인터포저 내 미세 배선 단선(Open) 및 단락(Short)	데이터 전송 오류 및 기능 불능
접합 신뢰성	마이크로범프(Microbump)의 불완전 접합 및 미스얼라이먼트(Misalignment)	전기적 특성 저하 및 열팽창 시 파손
기계적 변형	열 및 응력에 의한 웨이퍼/기판의 휨(Warping) 현상	후속 공정(Molding 등)의 불량 유발
이물 및 오염	공정 중 유입된 미세 파티클(Particle)	광학적 결함 및 회로 손상

이러한 리스크를 제어하기 위해서는 공정 초기 단계부터 최종 검사 단계에 이르기까지 통합적인 검사 체계가 구축되어야 합니다. 특히, 육안으로 식별이 불가능한 미세 결함을 잡아내기 위한 고해상도 광학 검사(AOI, Automated Optical Inspection)와 전기적 신호의 이상 유무를 판별하는 전기적 분석(eFA)의 유기적인 결합이 필수적입니다. [출처: jubrodev.tistory.com/100]

결론적으로, 본 보고서는 CoWoS 공정의 복잡성과 고부가가치 특성을 고려하여, 단계별로 발생 가능한 불량 유형을 체계적으로 분류하고, 이를 효과적으로 검출 및 분석하기 위한 최적의 검사 프로세스와 최신 기술 트렌드를 제안하는 데 목적이 있습니다. 이를 통해 제조 공정의 가시성을 확보하고, 궁극적으로는 수율 극대화를 달성하기 위한 전략적 가이드를 제공하고자 합니다.

CoWoS 주요 공정 흐름도 (Process Flow)

TSMC의 CoWoS(Chip on Wafer on Substrate) 기술은 서로 다른 기능의 칩(Logic Die 및 HBM 등)을 하나의 실리콘 인터포저(Silicon Interposer) 위에 배치하여 초고속 데이터 전송을 구현하는 2.5D 패키징의 핵심 기술입니다. 이 공정은 일반적인 패키징보다 훨씬 높은 정밀도를 요구하며, 미세한 회로 패턴과 수만 개의 연결점(Interconnect)을 다루기 때문에 공정 단계별 정밀한 제어가 필수적입니다. CoWoS의 전체 공정 흐름은 크게 **Interposer 형성**, **Chip-on-Interposer(Die Attachment)**, **Substrate 결합(Under Bump)**의 세 가지 핵심 시퀀스로 구분됩니다.

1. 실리콘 인터포저 형성 공정 (Silicon Interposer Fabrication)

CoWoS 공정의 기반이 되는 실리콘 인터포저는 로직 칩과 HBM 사이의 고속 인터커넥트 역할을 수행합니다. 이 단계는 일반적인 웨이퍼 공정과 유사하지만, 훨씬 높은 수준의 미세 패턴 형성이 요구됩니다.

- **TSV(Through Silicon Via) 형성:** 인터포저의 상부와 하부를 전기적으로 연결하기 위해 실리콘 웨이퍼에 깊은 구멍을 뚫고 전도성 물질을 채우는 TSV 공정이 수행됩니다. TSV는 데이터 전송의 수직 통로 역할을 하며, 이 과정에서 Void(공극)가 발생하거나 식각(Etching) 깊이가 불균일할 경우 전체 패키지의 전기적 특성에 치명적인 영향을 미칩니다.
- **RDL(Redistribution Layer) 형성:** TSV를 통해 전달된 신호를 칩의 Microbump 위치로 재배포하기 위해 금속층(Metal Layer)을 형성하는 공정입니다. 미세한 선폭(Line Width)과 간격(Space)을 유지하며 다층의 배선을 쌓아 올리는 과정이 포함됩니다.
- **Passivation 및 Bump Formation:** RDL 형성이 완료되면 보호막(Passivation)을 형성하고, 상부 칩과의 접합을 위한 범프(Bump)를 형성합니다.

2. 칩 적층 및 접합 공정 (Chip-on-Wafer / Die Attachment)

형성된 인터포저 위에 실제 기능을 수행하는 Logic Die(GPU, CPU 등)와 HBM(High Bandwidth Memory)을 배치하는 단계입니다. 이 단계는 CoWoS 수율을 결정짓는 가장 핵심적인 구간입니다.

- **Microbump 접합 (Fine-pitch Bonding):** 로직 칩과 HBM 하단에는 수 마이크로미터(μm) 단위의 매우 미세한 Microbump가 형성되어 있습니다. 이를 인터포저 상의 RDL 패드 위에 정밀하게 정렬(Alignment)하여 접합합니다. 이때 발생하는 정렬 오차(Misalignment)는 접촉 불량이나 단락(Short)의 직접적인 원인이 됩니다.
- **Underfill 공정:** 칩과 인터포저 사이의 미세한 간극을 채워 물리적 안정성을 확보하고, 열팽창 계수(CTE) 차이로 인한 응력을 완화하기 위해 에폭시 수지 등의 언더필(Underfill) 물질을 주입합니다. 언더필 내부에 기포(Void)가 잔류할 경우, 동작 중 열에 의한 팽창으로 인해 칩이 들뜨거나 크랙이 발생할 수 있습니다.

3. 기판 결합 및 최종 패키징 (Substrate Attachment & Molding)

인터포저에 적층된 칩들을 최종적으로 시스템 레벨의 패키지로 완성하기 위해 PCB 기반의 패키지 기판(Substrate)과 결합하는 단계입니다.

- **C4 Bump 접합:** 인터포저 하단의 대형 범프(C4 Bump)를 패키지 기판의 패드와 접합합니다. 이는 인터포저와 기판 사이의 전기적 연결을 완성하는 과정입니다.
- **Molding 및 최종 검사:** 적층된 구조물을 보호하기 위해 EMC(Epoxy Molding Compound)를 사용하여 몰딩 공정을 진행합니다. 이 과정에서 발생하는 **Warping(휘어짐)** 현상은 후속 공정 및 제품 신뢰성에 매우 큰 영향을 미치므로, 공정 중 정밀한 온도 제어와 압력 관리가 동반되어야 합니다.

[CoWoS 주요 공정 단계별 핵심 요소 비교]

공정 단계	핵심 구성 요소	주요 기술적 난제	주요 검사 대상
Interposer 형성	TSV, RDL, Passivation	TSV 식각 균일도, RDL 미세 패턴 형성	TSV Void, RDL Open/Short, Pattern Defect
Chip-on-Wafer	Logic Die, HBM, Microbump	초미세 정렬(Alignment), Microbump 접합 신뢰성	Misalignment, Microbump Bridging, Underfill Void
Substrate 결합	Package Substrate, C4 Bump	인터포저-기판 간 열팽창(CTE) 불일치	C4 Bump Integrity, Warpage, Molding Void

위 공정 흐름을 통해 알 수 있듯이, CoWoS는 미세한 물리적 결합이 전체 시스템의 기능 상실로 이어지는 고집적 구조를 가집니다. 따라서 각 단계에서 발생하는 Microbump의 미세 결합, TSV의 구조적 결합, 그리고 몰딩 이후의 Warpage 등을 실시간으로 감지할 수 있는 고해상도 광학 검사와 전기적 특성 분석이 병행되어야 합니다. (본 내용은 일반적인 반도체 패키징 기술 지식을 바탕으로 작성되었습니다.)

단계별 검사 프로세스 (Inspection Roadmap)

CoWoS(Chip on Wafer on Substrate) 공정은 TSMC가 주도하는 2.5D 패키징 기술의 핵심으로, 로직 다이(Logic Die)와 HBM(High Bandwidth Memory)을 실리콘 인터포저(Silicon Interposer) 위에 초정밀로 배치하는 고난도 공정입니다. 이 공정은 기존의 2D 패키징과는 비교할 수 없을 만큼 미세한 피치(Pitch)를 가지며, 공정 단계가 복잡해짐에 따라 불량이 발생할 경우 전체 웨이퍼의 가치가 상실되는 리스크가 매우 큼니다. 따라서 수율(Yield) 확보를 위해서는 공정 전(Pre-process), 공정 중(In-line), 공정 후(Post-process)로 이어지는 다층적 검사 로드맵(Inspection Roadmap) 구축이 필수적입니다.

1. Pre-process Inspection: 원재료 및 인터포저 기초 검사

CoWoS 공정의 시작은 실리콘 인터포저(Silicon Interposer)의 준비와 개별 칩(Die)의 품질 확인에서 출발합니다. 인터포저는 미세 회로가 형성된 매우 중요한 기판이므로, 초기 단계에서의 결합 제어가 전체 수율을 결정짓습니다.

- **Interposer Wafer Inspection (AOI 기반):** 인터포저 웨이퍼 상의 RDL(Redistribution Layer, 재배선층) 형성 과정에서 발생하는 미세 패턴 결함을 검사합니다. 광학 검사 장비(AOI, Automated Optical Inspection)를 활용하여 회로의 단선(Open), 단락(Short), 그리고 패턴의 선폭(Line Width) 및 간격(Space)이 설계 규격 내에 들어오는지 확인합니다. 특히 μm 단위의 미세 공정에서는 미세한 이물(Particle)이나 포토레지스트(Photoresist) 잔여물이 치명적인 불량을 유발할 수 있습니다.
- **Known Good Die (KGD) Verification:** 인터포저 위에 적층될 로직 칩과 HBM의 전기적 특성을 사전에 검증해야 합니다. 만약 불량 칩이 인터포저에 본딩(Bonding)될 경우, 고가의 인터포저와 정상적인 타 칩들까지 함께 폐기해야 하는 막대한 손실이 발생하기 때문입니다. 따라서 웨이퍼 레벨 테스트(Wafer Level Test)를 통해 전기적 특성(Electrical Characteristics)이 검증된 KGD만을 선별하는 과정이 선행됩니다.

2. In-line Inspection: 공정 중간 단계의 실시간 모니터링

In-line 검사는 공정이 진행되는 중간 단계에서 불량을 즉시 탐지하여 후속 공정으로 결함이 전이되는 것을 차단하는 데 목적이 있습니다. CoWoS에서는 특히 Microbump 접합과 다이 배치(Die Placement) 단계가 핵심입니다.

- **Microbump & TSV Inspection:** 인터포저의 TSV(Through Silicon Via)와 칩 사이를 연결하는 Microbump의 상태를 검사합니다. 범프의 높이(Height), 직경(Diameter), 그리고 평탄도(Coplanarity)를 고해상도 비전 시스템으로 측정합니다. 범프가 미세하게 높거나 낮을 경우, 본딩 시 접촉 불량(Non-wet)이나 물리적 손상을 야기할 수 있습니다.
- **Die Attach & Alignment Inspection:** 로직 다이와 HBM을 인터포저의 지정된 위치에 정밀하게 배치하는 단계입니다. 초정밀 머신비전 시스템을 통해 다이의 중심축(Centering)과 회전(Rotation) 오차를 실시간으로 모니터링합니다. CoWoS는 칩 간의 간격이 매우 좁기 때문에, μm 단위의 정렬 오차(Misalignment)는 곧바로 신호 전달 오류로 이어집니다.
- **Underfill & Molding Inspection:** 칩과 인터포저 사이의 빈 공간을 채우는 언더필(Underfill) 공정 후, 기포(Void) 발생 여부를 검사합니다. 언더필 내부에 미세한 기포가 잔류할 경우, 열팽창 계수(CTE) 차이에 의한 응력이 집중되어 칩 크랙(Crack)이나 범프 탈락을 유발할 수 있습니다.

3. Post-process Inspection: 최종 제품 신뢰성 및 기능 검사

모든 패키징 공정이 완료된 후에는 최종 제품이 설계된 성능을 발휘하는지, 그리고 장기적인 신뢰성을 보장하는지를 종합적으로 검증합니다.

- **Final Electrical Test (FT):** 패키징이 완료된 상태에서 칩의 전기적 신호 전달 능력을 최종 확인합니다. HBM과 로직 다이 간의 고속 데이터 전송 성능(Signal Integrity), 전력 공급 능력(Power Integrity) 등을 테스트합니다. 이 단계에서는 전기적 분석(eFA) 기법이 동원되어, 불량 발생 시 특정 핀(Pin)의 단선이나 신호 간섭(Crosstalk) 여부를 판별합니다.
- **Package-level Physical Inspection:** 패키징 외관의 결함(Surface Defect), 몰딩재의 변형(Warpage), 그리고 외부 충격에 의한 손상을 확인합니다. 특히 CoWoS는 적층 구조가 복잡하여 열적/기계적 스트레스에 의한 Warpage 현상이 빈번하게 발생하므로, 이를 정밀하게 측정하는 것이 중요합니다.
- **Failure Analysis (FA) Integration:** 만약 최종 테스트에서 불량이 발견될 경우, 물리적 분석(pFA)을 통해 불량의 근본 원인(Root Cause)을 규명합니다. SEM(Scanning Electron Microscope)이나 FIB(Focused Ion Beam) 등을 활용하여 단면을 절단하고, 미세 결함이 어느 공정 단계(RDL 형성, Bump 접합, Underfill 등)에서 기인했는지 역추적하여 공정 파라미터를 최적화합니다.

[단계별 검사 프로세스 요약 비교]

구분	주요 검사 대상	핵심 기술	주요 목적
Pre-process	Interposer, KGD (Die)	AOI, Wafer Probe Test	원재료 결함 차단 및 KGD 확보
In-line	Microbump, Alignment, Underfill	High-res Vision, 3D Metrology	공정 중 결함 전이 방지 및 실시간 제어
Post-process	Final Package, Signal Integrity	Electrical Test, SEM/FIB	최종 기능 검증 및 신뢰성 보장

CoWoS 단계별 검사 로드맵 (Inspection Roadmap)



주요 불량 유형 분석 (Defect Taxonomy)

CoWoS(Chip on Wafer on Substrate) 공정은 TSMC가 주도하는 2.5D 패키징 기술의 핵심으로, 실리콘 인터포저(Silicon Interposer) 위에 로직 다이(Logic Die)와 HBM(High Bandwidth Memory)을 초미세 피치(Fine Pitch)로 배치하는 고난도 공정입니다. 공정의 복잡도가 기하급수적으로 증가함에 따라 발생하는 불량 유형 또한 매우 미세하고 복합적인 양상을 띕니다. 본 섹션에서는 CoWoS 공정 중 발생하는 핵심 불량 유형을 **Microbump 결함, Interposer 및 구조적 결함, 전기적 연결 결함, 그리고 열-기계적 변형(Warping)**의 네 가지 관점에서 심층 분석합니다.

1. Microbump 및 범프 접합 결함 (Microbump & Solder Joint Defects)

CoWoS의 핵심은 HBM과 로직 다이 사이를 연결하는 수천 개의 Microbump입니다. 이 범프들은 일반적인 패키징보다 훨씬 작은 크기(수십 μm 단위)를 가지므로, 아주 미세한 공정 변동에도 치명적인 수율 저하를 야기합니다.

- **미접합 및 미충전 (Non-wet & Void):** 리플로우(Reflow) 공정 중 솔더(Solder)가 범프 표면에 충분히 젖어지지 못하거나(Non-wet), 범프 내부 또는 접합 계면에 기포가 발생하는 현상입니다. 이는 전기적 저항을 급격히 높이거나 완전히 단선되는 원인이 됩니다.
- **브릿지 결함 (Solder Bridging/Short):** 인접한 Microbump 사이의 간격(Pitch)이 매우 좁기 때문에, 솔더가 과도하게 도포되거나 리플로우 시 옆 범프로 흘러넘쳐 두 접합부가 연결되는 현상입니다. 이는 직접적인 전기적 단락(Short)을 유발합니다.
- **범프 미스얼라이먼트 (Bump Misalignment):** 인터포저 상의 패드와 칩 하단의 범프 위치가 정렬되지 않는 현상입니다. CoWoS는 초정밀 정렬(Alignment)이 요구되는데, 장비의 정밀도 저하나 기판의 미세한 움직임으로 인해 발생하며, 이는 접합 면적 감소 및 불완전한 전기적 연결로 이어집니다.

- **범프 탈락 (Bump De-wetting/Missing):** 공정 중 물리적 충격이나 화학적 세정 과정에서 범프가 탈락하거나, 접합력이 약해져 떨어져 나가는 현상입니다.

2. 인터포저 및 구조적 결함 (Interposer & Structural Defects)

실리콘 인터포저는 칩 간의 신호를 전달하는 고밀도 배선층 역할을 하며, 이 층에서 발생하는 결함은 패키지 전체의 기능 상실을 의미합니다.

- **인터포저 크랙 (Interposer Crack):** 웨이퍼 레벨 공정 중 발생하는 열 응력(Thermal Stress)이나 물리적 압력으로 인해 실리콘 인터포저 자체에 미세한 균열이 발생하는 현상입니다. 크랙은 신호 경로를 차단할 뿐만 아니라, 패키지의 구조적 신뢰성을 근본적으로 파괴합니다.
- **TSV(Through Silicon Via) 결함:** 인터포저를 관통하여 신호를 전달하는 TSV 공정에서 발생하는 결함입니다. TSV 내부의 Void(공극), Liner 결함, 또는 Fill(충전) 불량은 고주파 신호 전달 시 임피던스 불일치를 유발하거나 전류 흐름을 방해합니다.
- **배선 단선 및 단락 (Interconnect Open/Short):** 인터포저 내부의 미세 금속 배선(RDL, Redistribution Layer)이 식각(Etching) 과다로 인해 끊어지거나(Open), 금속 이물질(Particle)에 의해 서로 붙는(Short) 현상입니다.

3. 전기적 연결 및 신호 무결성 결함 (Electrical & Signal Integrity Defects)

물리적 결함이 전기적 특성 변화로 이어지는 단계로, 검사 공정에서 eFA(전기적 분석)를 통해 주로 식별됩니다.

- **Open/Short 결함:** Microbump나 RDL의 물리적 결함이 전기적으로 발현된 형태입니다.
- **Open:** 회로가 끊어져 전류가 흐르지 않는 상태.
- **Short:** 의도하지 않은 경로로 전류가 흘러 신호 간 간섭(Crosstalk)을 일으키거나 회로를 파괴하는 상태.
- **누설 전류 (Leakage Current):** 절연층(Dielectric Layer)의 손상이나 오염으로 인해 설계되지 않은 경로로 미세 전류가 흐르는 현상입니다. 이는 소비 전력을 증가시키고 발열 문제를 심화시킵니다.
- **임피던스 불일치 (Impedance Mismatch):** 배선의 폭, 두께, 혹은 주변 환경의 변화로 인해 신호의 반사가 일어나는 현상입니다. 고속 데이터 전송이 필수적인 HBM 환경에서는 데이터 전송 오류(Bit Error)의 주요 원인이 됩니다.

4. 열·기계적 변형 및 신뢰성 결함 (Warping & Reliability Defects)

CoWoS는 서로 다른 열팽창 계수(CTE, Coefficient of Thermal Expansion)를 가진 재료(Silicon, Organic Substrate, Solder)가 적층되는 구조이므로, 열에 의한 변형 관리가 매우 어렵습니다.

- **워피지 (Warping):** 온도 변화에 따라 각 층의 팽창/수축 정도가 달라 패키지가 휘어지는 현상입니다. 워피지가 심할 경우, 후속 공정인 플립칩 본딩(Flip-chip Bonding) 시 범프 접합이 제대로 이루어지지 않거나, 조립된 상태에서 내부 응력이 쌓여 크랙을 유발합니다.
- **Delamination (층간 박리):** 인터포저와 칩 사이, 혹은 칩과 몰딩재(EMC) 사이의 접착력이 약해져 층이 벌어지는 현상입니다. 이는 수분 침투의 경로가 되어 부식(Corrosion)을 일으키거나 전기적 특성을 변화시킵니다.
- **Die Crack (칩 균열):** 패키징 과정 중 가해지는 압력이나 워피지로 인한 응력이 칩 자체에 전달되어 발생하는 균열입니다.

[요약] CoWoS 주요 불량 유형 비교 분석

구분	주요 불량 유형	발생 원인 (Root Cause)	주요 검사 방식	영향도
----	----------	--------------------	----------	-----

Microbump	Bridging, Void, Non-wet, Misalignment	리플로우 온도 제어 실패, 정렬 오차, 솔더 도포 불균일	광학 검사(AOI), X-ray, eFA	매우 높음 (직접적 연결성)
Interposer	TSV Void, RDL Short/Open, Crack	식각/증착 공정 오류, 열 응력, 물리적 충격	SEM, TEM, pFA, AOI	높음 (신호 경로 파괴)
Electrical	Open, Short, Leakage, Crosstalk	접합 불량, 절연층 손상, 배선 설계/공정 오류	전기적 테스트(EDS), eFA	매우 높음 (기능 작동 불능)
Mechanical	Warping, Delamination, Die Crack	재료 간 CTE 차이, 열 사이클링, 조립 압력	레이저 변위 센서, pFA	중/고 (장기 신뢰성 저하)

CoWoS 공정의 수율 극대화를 위해서는 이러한 불량 유형을 단순 식별하는 것을 넘어, **광학 검사(AOI)**를 통한 물리적 형상 분석과 **전기적 분석(eFA)**을 통한 기능적 분석을 결합한 통합적인 접근이 필수적입니다. 특히 미세화되는 Microbump와 인터포저 배선을 검출하기 위해서는 고해상도 머신비전 기술과 더불어, 불량률의 패턴을 학습하여 실시간으로 분류하는 AI 기반의 검사 솔루션 도입이 가속화되고 있습니다.

불량 분석 방법론 (Failure Analysis)

CoWoS(Chip on Wafer on Substrate)와 같은 2.5D 패키징 공정은 TSV(Through Silicon Via), Interposer, Microbump 등 극미세 구조체가 집약되어 있어, 단일 공정의 오류가 전체 패키지의 치명적인 기능 상실로 이어질 가능성이 매우 높습니다. 따라서 불량이 발생했을 때 단순한 현상 파악을 넘어, 해당 불량이 전기적 특성 저하에 의한 것인지, 혹은 물리적 구조의 파손에 의한 것인지를 명확히 구분하여 근본 원인(Root Cause)을 규명하는 **불량 분석(Failure Analysis, FA)** 프로세스가 수율 관리의 핵심입니다.

불량 분석은 크게 **전기적 분석(Electrical Failure Analysis, eFA)**과 **물리적 분석(Physical Failure Analysis, pFA)**의 두 가지 트랙으로 진행되며, 이 두 과정은 상호 보완적인 관계를 유지하며 진행됩니다.

1. 전기적 분석 (Electrical Failure Analysis, eFA)

eFA는 물리적인 파괴를 가하기 전, 전기적 신호를 측정하여 불량이 발생하는 정확한 위치(Localization)와 전기적 메커니즘을 파악하는 단계입니다. CoWoS 공정에서는 Interposer 내의 미세 회로 단락(Short)이나 Microbump의 접촉 불량(Open)을 찾아내는 것이 주된 목적입니다.

1.1 주요 분석 기법 및 절차

- **전기적 특성 측정(Electrical Characterization):** 웨이퍼 레벨 또는 패키지 레벨에서 I-V(전류-전압) 곡선, IV Curve Trace를 통해 누설 전류(Leakage Current)의 발생 여부와 임계 전압(Threshold Voltage)의 변화를 관찰합니다. 이를 통해 소자의 파괴적 고장(Hard Failure)인지, 성능 저하를 동반한 소프트 고장(Soft Failure)인지를 구분합니다.
- **에디 커런트 검사(Eddy Current Inspection):** 미세 회로의 단선이나 단락을 비파괴적으로 탐지하기 위해 사용됩니다.
- **전기적 위치 국부화(Fault Localization):** 불량이 의심되는 지점을 좁히기 위해 **OBIRCH(Optical Beam Induced Resistance Change)** 또는 **EMMI(Emission Microscopy)** 기술을 활용합니다.
- **EMMI (Emission Microscopy):** 반도체 소자가 동작할 때 결합 부위(예: 누설 전류가 발생하는 Junction)에서 발생하는 미세한 빛(Photon)을 감지하여 불량 위치를 시각화합니다.

- **OBIRCH (Optical Beam Induced Resistance Change):** 레이저를 조사하여 국부적인 저항 변화를 측정함으로써, 미세한 Short 또는 Open 지점을 고해상도로 찾아냅니다.

1.2 CoWoS 공정에서의 eFA 중요성

CoWoS는 수천 개의 Microbump가 매우 좁은 Pitch로 배치되어 있습니다. eFA를 통해 특정 Bump의 전기적 연결 상태를 확인하지 않고 바로 물리적 절단(Cross-section)을 진행할 경우, 정상적인 회로까지 손상시켜 불량의 원인을 영구적으로 소실할 위험이 있습니다. 따라서 eFA는 물리적 분석의 가이드라인 역할을 수행합니다.

2. 물리적 분석 (Physical Failure Analysis, pFA)

eFA를 통해 불량의 위치가 특정되면, 해당 지점의 구조적 결함을 직접 관찰하기 위해 물리적 분석을 수행합니다. pFA는 시료를 절단하거나 표면을 노출시켜 눈에 보이는 형태로 결함을 확인하는 과정입니다.

2.1 주요 분석 기법 및 절차

- **시료 전처리(Sample Preparation):** 불량 지점을 관찰하기 위해 **FIB(Focused Ion Beam)**를 사용하여 나노미터(nm) 단위로 정밀하게 단면을 절개하거나, 특정 부위만을 추출합니다.
- **SEM (Scanning Electron Microscopy) 분석:** 고에너지 전자빔을 이용하여 시료 표면의 형상을 고해상도로 관찰합니다. CoWoS의 경우, Microbump의 형상 불량(Bridging, Void), Interposer의 Crack, TSV 내부의 Fill 불량 등을 관찰하는 데 필수적입니다.
- **EDX (Energy Dispersive X-ray Spectroscopy) 분석:** SEM과 병행하여 사용되는 성분 분석 기술입니다. 전자빔이 시료와 충돌할 때 발생하는 특성 X-선을 분석하여, 특정 부위에 금속 이물질(Contamination)이 유입되었는지, 혹은 금속 배선(Metallization)의 합금 성분이 변질되었는지를 원소 단위로 확인합니다.
- **TEM (Transmission Electron Microscopy) 분석:** SEM보다 훨씬 높은 배율이 필요한 경우, 박편 시료를 제작하여 원자 단위의 격자 구조 결함이나 초미세 산화막(Oxide)의 상태를 분석합니다.

2.2 CoWoS 공정에서의 pFA 주요 타겟

- **Microbump Void & Bridging:** Bump 내부의 기공(Void)으로 인한 저항 증가 또는 인접 Bump 간의 과도한 납(Solder) 유입으로 인한 단락 현상을 확인합니다.
- **Interposer Delamination:** 층간 박리 현상이 발생하는지, 혹은 TSV 주변의 절연막(Dielectric)에 균열이 발생했는지 관찰합니다.
- **Warpage Induced Damage:** 패키징 후 열팽창 계수(CTE) 차이로 인한 휨(Warpage) 현상이 내부 회로의 물리적 파손을 유발했는지 검토합니다.

3. eFA와 pFA의 통합 분석 흐름 및 비교

효율적인 수율 개선을 위해서는 두 분석 방법론이 단절되지 않고 유기적으로 연결되어야 합니다. 일반적으로 [전기적 신호 이상 감지 \rightarrow eFA를 통한 위치 국부화 \rightarrow FIB를 이용한 정밀 절개 \rightarrow SEM/EDX를 통한 구조/성분 분석]의 순서를 따릅니다.

구분	전기적 분석 (eFA)	물리적 분석 (pFA)
주요 목적	불량 위치(Localization) 및 전기적 특성 파악	불량의 형태(Morphology) 및 화학적 성분 규명
파괴 여부	비파괴적 (Non-destructive)	파괴적 (Destructive)
핵심 장비	EMMI, OBIRCH, IV Curve Tracer	SEM, EDX, FIB, TEM

분석 결과물	전류/전압 데이터, 발광 이미지, 저항 변화 맵	고해상도 이미지, 원소 성분 스펙트럼, 단면 구조
CoWoS 적용 사례	Microbump Open/Short 위치 특정	Bump 내 Void 확인, 금속 오염물(Contamination) 분석

4. 결론 및 분석 전략

CoWoS 공정의 고도화에 따라 불량의 크기는 더욱 미세해지고 있으며, 이는 분석 난이도의 급격한 상승을 의미합니다. 기존의 방식으로는 수천 개의 Bump 중 단 하나의 결함을 찾는 데 막대한 시간과 비용이 소모됩니다.

따라서 향후 불량 분석 전략은 다음과 같은 방향으로 진화해야 합니다.

첫째, **데이터 기반의 예측 분석**입니다. 공정 중 발생하는 파라미터 데이터를 학습하여, eFA 단계 이전에 불량 발생 가능성이 높은 영역을 사전에 예측하는 기술이 필요합니다.

둘째, **고해상도 비파괴 검사의 강화**입니다. pFA의 파괴적 특성으로 인한 시료 손실을 최소화하기 위해, 고해상도 X-ray(CT)나 초음파 검사(SAM)를 eFA 단계와 연계하여 더욱 정밀하게 고도화해야 합니다.

셋째, **AI 기반의 자동화된 이미지 분석**입니다. SEM/EDX를 통해 얻어지는 방대한 양의 고해상도 이미지를 AI 알고리즘이 실시간으로 스캔하여, 숙련된 엔지니어의 판단 오류를 줄이고 분석 속도를 획기적으로 높이는 **ADC(Automatic Defect Classification)** 기술의 도입이 필수적입니다 [출처: 일반 지식].

검사 장비 기술 트렌드 및 대응 전략

CoWoS(Chip on Wafer on Substrate) 공정은 기존의 2D 패키징을 넘어 2.5D 및 3D 적층 구조를 구현하는 고도의 미세 공정입니다. 특히 HBM(High Bandwidth Memory)과 로직 칩을 인터포저(Interposer) 상에 배치하는 과정에서 발생하는 미세 피치(Fine Pitch)의 연결 구조는 기존 검사 장비의 한계를 시험하고 있습니다. 따라서 현재 검사 장비 시장은 단순한 결함 유무 판별을 넘어, 고해상도 머신비전(Machine Vision)과 인공지능(AI)을 결합한 지능형 검사 솔루션으로 급격히 전환되고 있습니다.

1. 고해상도 머신비전(High-Resolution Machine Vision) 기술의 고도화

CoWoS 공정의 핵심인 Microbump 및 TSV(Through Silicon Via)의 크기는 수 μm 단위에 불과합니다. 이러한 미세 구조의 결함을 잡아내기 위해서는 광학계의 분해능(Resolution)과 검사 속도(Throughput) 사이의 트레이드오프(Trade-off)를 극복하는 것이 기술적 핵심입니다.

- **초고해상도 광학계 및 조명 제어:** 인터포저 내의 미세 회로 패턴과 Microbump의 정렬 상태(Alignment)를 검사하기 위해 고배율 렌즈 시스템과 더불어, 금속 패턴의 난반사를 제어할 수 있는 특수 조명 기술이 필수적입니다. 동축조명(Coaxial Lighting)과 저각 조명(Low-angle Lighting)을 조합하여 Bump의 높이(Height) 정보와 측면(Side-wall) 프로파일을 동시에 확보하는 기술이 적용되고 있습니다.
- **멀티 스펙트럼 및 3D 프로파일링:** 단순 2D 이미지로는 판별이 어려운 Bump의 미세한 높이 차이나 Warpage(휘어짐)를 측정하기 위해, 레이저 스캔 방식이나 구조광(Structured Light)을 이용한 3D 검사 기술이 도입되고 있습니다. 이는 적층된 칩 사이의 간격이나 접합부의 평탄도를 정밀하게 측정하여 전기적 불량을 사전에 차단하는 역할을 합니다.

2. AI 기반 자동 결함 분류(ADC, Automatic Defect Classification) 도입

기존의 Rule-based 검사 방식은 정해진 알고리즘에 따라 결함을 찾기 때문에, 공정 산포에 따른 미세한 변화를 불량으로 오판하는 과검(Over-kill) 문제가 빈번했습니다. 이를 해결하기 위해 딥러닝(Deep Learning) 기반의 AI 검사 기술이 핵심 트렌드로 부상하였습니다.

- **Deep Learning 기반 결함 분류(ADC):** 수만 장의 양품 및 불량 이미지를 학습한 CNN(Convolutional Neural Network) 모델을 활용하여, 검출된 결함이 실제 불량(Real Defect)인지 아니면 단순한 노이즈(False Alarm)인지를 실시간으로 분류합니다. 이는 검사 후 작업자의 육안 검사(Manual Inspection) 시간을 획기적으로 단축하며, 검사 데이터의 신뢰도를 높입니다.
- **데이터 기반 공정 최적화:** AI는 단순히 불량을 찾는 것에 그치지 않고, 축적된 결함 데이터를 분석하여 특정 공정 단계에서 발생하는 불량 패턴을 학습합니다. 예를 들어, 특정 위치에서 반복적으로 발생하는 Microbump의 미세 정렬 불량 패턴을 감지함으로써, 전 공정(Upstream)의 장비 파라미터를 조정할 수 있는 피드백 루프(Feedback Loop)를 형성합니다.

3. 기술 트렌드 비교 및 대응 전략 요약

현재 반도체 검사 시장의 기술적 전환점을 비교하면 다음과 같습니다.

구분	기존 Rule-based 검사	AI 기반 지능형 검사 (Trend)	비고
검사 방식	사전 정의된 알고리즘/임계값 기반	데이터 학습 기반 딥러닝 모델 적용	AI 모델의 정확도 중요
결함 판별	과검(Over-kill) 및 미검(Under-kill) 발생 빈도 높음	ADC 기술을 통한 과검률 획기적 감소	수율(Yield) 직결 요소
해상도 대응	고배율 시 검사 속도 급격히 저하	고해상도 이미지의 병렬 처리 및 AI 가속	GPU/NPU 활용 필수
데이터 활용	단순 불량 카운팅 및 통계	불량 원인(Root Cause) 분석 및 공정 예측	스마트 팩토리 구현

4. 향후 대응 전략: 통합 검사 솔루션의 구축

CoWoS와 같은 고부가가치 패키징 공정에서 수율을 극대화하기 위해서는 개별 검사 장비의 성능 향상을 넘어, '데이터 통합 및 실시간 피드백 시스템' 구축이 필수적입니다.

첫째, **광학적 검사와 전기적 검사(eFA) 데이터의 결합**이 필요합니다. 광학 검사에서 발견된 미세 결함이 실제 전기적 특성에 어떤 영향을 미치는지 데이터베이스화하여, 육안으로 식별 불가능한 잠재적 불량(Latent Defect)을 예측해야 합니다.

둘째, **Edge-AI 기술의 적용**입니다. 검사 장비 내부에 고성능 AI 가속기를 탑재하여, 대용량의 고해상도 이미지를 서버로 전송하기 전 현장에서 즉시 처리(Real-time Processing)함으로써 검사 병목 현상을 제거하고 Throughput을 극대화해야 합니다.

결론적으로, 차세대 CoWoS 검사 시장의 주도권은 초미세 패턴을 구현할 수 있는 **고해상도 광학 기술**과, 방대한 데이터를 유의미한 정보로 전환하는 **AI 기반 분석 기술**을 얼마나 유기적으로 통합하느냐에 달려 있습니다. [일반 지식 기반 작성]

결론 및 시사점

CoWoS(Chip on Wafer on Substrate) 기술은 고성능 컴퓨팅(HPC) 및 AI 가속기 시장의 폭발적인 성장과 맞물려, 단순한 패키징 기술을 넘어 반도체 성능을 결정짓는 핵심적인 2.5D 패키징(2.5D Packaging) 솔루션으로 자리 잡았습니다. 본 보고서에서 살펴본 바와 같이, CoWoS 공정은 Interposer 형성부터 Microbump 접합, 그리고

최종 몰딩(Molding)에 이르기까지 매우 미세하고 복잡한 공정 시퀀스를 포함하고 있습니다. 공정의 난이도가 높아짐에 따라 발생하는 미세 결함은 전체 수율(Yield)에 치명적인 영향을 미치며, 이는 곧 제조사의 수익성과 직결되는 핵심 지표가 됩니다.

따라서 CoWoS 공정의 성공적인 양산과 수율 극대화(Yield Optimization)를 위해서는 다음과 같은 통합 검사 솔루션(Integrated Inspection Solution)의 구축이 필수적입니다.

첫째, **공정 간 단절 없는 통합 검사 체계(Seamless Inspection Roadmap)의 구축이 필요합니다.** Interposer의 미세 패턴 결함부터 Microbump의 정렬(Alignment) 불량, 그리고 후속 공정에서 발생하는 Warpage(휘어짐) 현상까지, 각 단계별로 최적화된 광학 검사(Optical Inspection)와 전기적 검사(Electrical Test)가 유기적으로 연동되어야 합니다. 특정 단계에서의 불량을 즉각적으로 감지하고 피드백함으로써, 불량 제품이 후속 공정으로 전이되어 발생하는 손실(Scrap Cost)을 최소화해야 합니다.

둘째, **고도화된 불량 분석 방법론(Failure Analysis Methodology)의 적용입니다.** 단순한 불량 유무 판정을 넘어, 전기적 분석(eFA)과 물리적 분석(pFA)을 결합하여 결함의 근본 원인(Root Cause)을 규명하는 능력이 요구됩니다. 특히 미세 피치(Fine Pitch) 구조에서 발생하는 복합적인 불량 메커니즘을 해석하기 위해서는 정밀한 분석 장비와 데이터 기반의 분석 역량이 뒷받침되어야 합니다.

셋째, **AI 기반의 지능형 검사 기술(AI-driven Inspection) 도입입니다.** 검사 데이터의 양이 기하급수적으로 증가함에 따라, 기존의 Rule-based 방식으로는 미세 결함 검출과 오검출(Overkill) 방지에 한계가 있습니다. 머신비전(Machine Vision)과 AI 알고리즘을 결합한 자동 결함 분류(ADC, Automatic Defect Classification) 기술을 통해 검사의 정확도를 높이고, 실시간으로 공정 변수를 제어할 수 있는 스마트 팩토리(Smart Factory) 환경을 구현해야 합니다.

결론적으로, CoWoS 공정의 기술적 성숙도는 검사 및 분석 기술의 정밀도에 의해 결정될 것입니다. 향후 반도체 패키징 산업은 초미세화, 고집적화가 가속화됨에 따라 더욱 난해한 불량 유형이 등장할 것이며, 이에 대응하기 위해 검사 장비의 고해상도화와 AI를 활용한 데이터 기반의 수율 관리 전략이 기업의 핵심 경쟁력이 될 것으로 전망됩니다.