

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-27

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요: AI 데이터센터의 병목 현상과 CPO의 부상	3
CPO(Co-Packaged Optics) 핵심 기술 메커니즘	4
CPO 기술 진화 및 패키징 아키텍처	6
결론 및 시사점	8
참고 자료	9

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 인프라 확장에 따른 구리 배선의 물리적 한계를 극복하기 위한 차세대 공동 패키지 광학(CPO) 기술의 메커니즘과 시장 전망을 분석합니다. 주요 글로벌 플레이어의 기술 로드맵을 검토하고, 크레셈의 고정밀 검사 및 AI 비전 기술을 활용한 신규 시장 진입 전략을 제안합니다.

개요: AI 데이터센터의 병목 현상과 CPO의 부상

AI(Artificial Intelligence) 연산 규모가 기하급수적으로 폭발함에 따라, 전 세계 데이터센터의 인프라는 전례 없는 기술적 임계점에 직면해 있습니다. 대규모 언어 모델(LLM)의 학습과 추론을 위해 수만 개의 GPU가 초고속으로 연결되어야 하는 상황에서, 기존의 구리(Copper) 기반 전기 신호 전송 방식은 대역폭 확장성(Scalability)과 전력 효율성(Power Efficiency) 측면에서 물리적 한계에 도달했습니다. 이러한 데이터 병목(Data Bottleneck) 현상을 해결하고 차세대 AI 인프라의 지속 가능성을 확보하기 위한 핵심 돌파구로 공동 패키지형 광학(CPO, Co-Packaged Optics) 기술이 급부상하고 있습니다.

1. 전기 신호 전송의 물리적 한계와 SerDes 기술의 도전

최근 데이터센터 내 인터커넥트(Interconnect) 환경은 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술로 진화하고 있습니다. SerDes는 디지털 데이터를 고속 직렬 신호로 변환하여 전송하는 핵심 기술이지만, 전송 속도가 높아질수록 신호 손실(Signal Loss)이 급격히 증가하는 특성을 보입니다.

현재 업계에서 사용되는 구리 배선의 경우, 고속 신호 전송 시 유효 전송 거리(Effective Transmission Distance)가 수 센티미터(cm) 수준으로 극도로 단축되었습니다 [출처: 투자연구소 테크센터]. 신호의 감쇠를 보상하고 데이터 무결성을 유지하기 위해 기존 시스템은 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP, Digital Signal Processor)를 추가로 배치해야만 했습니다. 그러나 이러한 보상 장치들의 도입은 다음과 같은 심각한 부작용을 초래합니다.

- **전력 소모의 급증:** 네트워크 장비 전체 전력 소비에서 DSP가 차지하는 비중은 약 50%에 달하며, 이는 데이터센터 운영 비용(OPEX) 상승의 주된 원인이 됩니다 [출처: 투자연구소 테크센터].
- **열 밀도(Thermal Density) 상승:** 고속 신호 처리를 위한 추가 소자들은 막대한 열을 발생시키며, 이는 AI 가속기 및 스위치 칩의 냉각 설비 부담을 가중시키고 시스템 신뢰성을 저하시킵니다.
- **대역폭 병목:** 구리 기반의 전기 신호는 물리적 특성상 데이터 전송 대역폭을 무한정 확장하기 어려워, AI 모델의 파라미터 증가 속도를 인터커넥트가 따라가지 못하는 현상이 발생합니다 [출처: alchonomics].

2. CPO(Co-Packaged Optics)의 기술적 정의 및 도입의 필연성

CPO는 광학 소자(Photonics)와 반도체 스위치 칩(ASIC/Switch Chip)을 하나의 패키지 기판(Package Substrate) 위에 통합하는 첨단 인터커넥트 기술입니다 [출처: kai-search.tistory.com]. 이는 기존의 플러그블(Pluggable) 광모듈 방식이 가진 구조적 한계를 근본적으로 재설계한 것입니다.

기존 방식은 칩과 광모듈 사이의 거리가 멀어 긴 구리 배선을 거쳐야 했으며, 이 과정에서 막대한 전력 손실과 지연(Latency)이 발생했습니다. 반면, CPO는 광학 엔진을 프로세서와 물리적으로 매우 가까운 거리(Co-packaged)에 배치함으로써 다음과 같은 혁신적인 이점을 제공합니다.

비교 항목	플러그블(Pluggable) 방식	CPO(Co-Packaged Optics) 방식	기대 효과
신호 경로	칩 → 긴 구리 배선 → 광모듈	칩 → 근거리 광학 인터페이스	신호 손실 최소화
전력 효율	DSP 비중 높음 (전력 소모 극심)	DSP 기능 간소화 또는 제거 가능	비트당 전력 소모(pJ/bit) 50% 이상 절감 [출처: 투자연구소 테크센터]
전력 밀도	포트당 높은 전력 소모 (예: 800Gbps 기준 15W)	포트당 낮은 전력 소모 (예: 800Gbps 기준 5.5W) [출처: kai-search.tistory.com]	에너지 효율 극대화
데이터 대역폭	구리 배선의 물리적 한계로 확장 제한	광 신호를 통한 초고속/대용량 전송	AI 가속기 간 병목 해소

표 1. CPO(Co-Packaged Optics)의 기술적 정의 및 도입의

결과적으로 CPO는 신호 손실을 80% 이상 줄일 수 있으며, 데이터센터 전체의 전력 효율을 획기적으로 개선할 수 있는 유일한 대안으로 평가받고 있습니다 [출처: 투자연구소 테크센터].

3. 시장 전망 및 산업적 가치

CPO 기술은 단순한 부품의 변화를 넘어, AI 인프라의 아키텍처 자체를 재정의하고 있습니다. Yole Group의 분석에 따르면, CPO 시장은 2024년 4,600만 달러 규모에서 2030년 81억 달러 규모로 성장하며, 연평균 성장률(CAGR) 137%라는 폭발적인 성장이 전망됩니다 [출처: 투자연구소 테크센터].

특히 NVIDIA GTC 2026에서 광학 통합 스위치가 공개되고 Broadcom의 CPO 솔루션이 본격적인 양산 단계에 진입함에 따라, CPO는 AI 하드웨어 생태계의 핵심 키워드로 완전히 자리 잡았습니다 [출처: kai-search.tistory.com]. 이러한 시장의 급격한 팽창은 실리콘 포토닉스(Silicon Photonics) 기술과 고정밀 패키징 기술의 동반 성장을 요구하며, 이는 곧 반도체 후공정(Advanced Packaging) 및 검사 기술의 고도화로 이어질 것입니다.

CPO(Co-Packaged Optics) 핵심 기술 메커니즘

AI 가속기와 데이터센터의 트래픽이 폭발적으로 증가함에 따라, 기존의 구리 배선(Copper Interconnect) 기반 전기 신호 전송 방식은 물리적 한계점에 도달했습니다. 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서는 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되고 있으며, 이는 데이터 전송 시 막대한 신호 손실(Signal Loss)과 전력 소모를 야기합니다 [출처: 투자연구소 테크센터]. CPO(Co-Packaged Optics, 공동 패키지형 광학)는 이러한 전기적 병목 현상을 해결하기 위해 광학 소자와 반도체 칩을 하나의 패키지 기판(Package Substrate) 내에 통합하는 혁신적인 인터커넥트(Interconnect) 기술입니다.

1. 플러그블(Pluggable) 방식 vs CPO: 구조적 패러다임의 전환

기존의 데이터센터 통신은 광모듈을 스위치나 라우터의 포트에 끼워 넣는 플러그블(Pluggable) 방식을 채택해 왔습니다. 그러나 CPO는 광학 인터페이스를 ASIC(Application Specific Integrated Circuit) 또는 스위치 칩과 물리적으로 매우 가까운 위치에 배치함으로써 구조적 우위를 확보합니다.

비교 항목	플러그블(Pluggable) 광모듈 방식	CPO(Co-Packaged Optics) 방식
-------	------------------------	----------------------------

물리적 구조	칩과 광모듈 사이 긴 구리 배선 존재	칩과 광학 소자를 동일 패키지 내 통합
신호 경로	전기 신호 → 긴 구리 배선 → 광모듈	전기 신호 → 초단거리 배선 → 광 인터페이스
전력 효율	DSP(Digital Signal Processor) 전력 소모 높음	DSP 기능 간소화/제거로 비트당 전력 절감
전력 소모(800G 기준)	포트당 약 15W 수준	포트당 약 5.5W 수준으로 절감 [출처: AI 데이터센터의 차세대 광통신]
주요 병목	전력 손실, 지연 시간(Latency), 열 밀도	패키징 난이도, 정렬(Alignment) 정밀도

표 2. 플러그블(Pluggable) 방식 vs CPO: 구조적 패러다임의

CPO의 핵심적인 기술적 원리는 '**전기적 도메인(Electrical Domain)의 최소화**'와 '**광학적 도메인(Optical Domain)의 직접 통합**'에 있습니다. 기존 방식은 칩에서 나온 고속 전기 신호가 긴 구리 트레이스를 지나 광모듈의 DSP와 레이저를 거치며 상당한 에너지를 소모하고 신호 무결성(Signal Integrity, SI)이 저하됩니다. 반면, CPO는 광학 인터페이스를 칩 바로 옆에 배치하여 전기 신호가 이동하는 거리를 극단적으로 줄임으로써 신호 손실을 80% 이상 개선할 수 있습니다 [출처: 투자연구소 테크센터].

2. CPO 구현을 위한 3대 핵심 기술 요소

CPO의 성공적인 구현을 위해서는 실리콘 포토닉스(Silicon Photonics)를 기반으로 한 미세 공정 기술과 이종 집적(Heterogeneous Integration) 기술이 필수적입니다.

2.1. 실리콘 포토닉스(Silicon Photonics) 및 PIC(Photonic Integrated Circuit)

CPO의 근간은 실리콘 웨이퍼 위에 광학 소자를 구현하는 실리콘 포토닉스 기술입니다. 기존의 개별 광학 부품들을 하나의 칩(PIC) 위에 집적함으로써 크기를 줄이고 신뢰성을 높입니다.

- **PIC의 역할:** 광 도파로(Waveguide), 변조기(Modulator), 검출기(Photodetector) 등을 실리콘 기판 위에 통합하여 빛의 생성, 제어, 변조, 검출을 하나의 회로에서 수행합니다.
- **기술적 이점:** CMOS 공정을 활용할 수 있어 대량 생산이 가능하며, 소자 간의 거리를 마이크로미터(μm) 단위로 제어할 수 있어 광 손실을 최소화합니다.

2.2. EIC(Electronic Integrated Circuit)와의 통합

광 신호를 처리하기 위해서는 전기적 신호를 제어하는 EIC가 반드시 필요합니다. CPO 아키텍처에서는 PIC와 EIC가 하나의 패키지 내에 공존하거나, 더욱 진화된 형태에서는 단일 IC로 통합되는 방향으로 나아가고 있습니다.

- **인터페이스 최적화:** EIC는 SerDes를 통해 고속 전기 신호를 생성하고, 이를 PIC의 변조기에 전달합니다. 이 과정에서 발생하는 기생 성분(Parasitic elements)을 최소화하는 것이 핵심 설계 역량입니다.
- **전력 최적화:** CPO는 네트워크 전체 전력의 약 50%를 차지하던 DSP 기능을 간소화하거나 제거할 수 있어, 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 효과를 제공합니다 [출처: 투자연구소 테크센터].

2.3. 고성능 광학 인터페이스(Optical Interface) 및 패키징

칩과 광학 소자를 연결하는 인터페이스 기술은 CPO의 성능을 결정짓는 최종 관문입니다.

- **광 결합(Optical Coupling):** 외부 광섬유(Optical Fiber)로부터 들어온 빛을 PIC 내부의 도파로로 얼마나 손실 없이 전달하느냐가 관건입니다. 이를 위해 고정밀 렌즈 어레이나 grating coupler 기술이 사용됩니다.

- **이종 집적 패키징:** 서로 다른 소재(Silicon, III-V 화합물 반도체, Glass 등)를 하나의 기판 위에 정렬하여 결합하는 고난도 패키징 공정이 요구됩니다. 이는 HBM4에서 논의되는 Hybrid Bonding과 유사한 수준의 초정밀 정렬 기술을 필요로 합니다.

3. 기술적 도전 과제: 열 관리 및 정렬 정밀도

CPO는 전력 효율 면에서 압도적이지만, 기술적 구현 측면에서는 매우 높은 진입 장벽을 가지고 있습니다.

첫째, **열 밀도(Thermal Density) 문제**입니다. 광학 소자와 고성능 스위치 칩이 한데 모여 있기 때문에 국소적인 열 발생이 심화됩니다. 레이저 소자는 온도 변화에 매우 민감하여, 온도 상승 시 파장(Wavelength)이 변하거나 효율이 급감하는 문제가 발생합니다. 따라서 고효율 방열 구조 설계와 정밀한 온도 제어 기술이 필수적입니다.

둘째, **초정밀 정렬(Ultra-precise Alignment) 이슈**입니다. 광학 소자와 반도체 칩 사이의 결합은 나노미터(nm) 또는 수 μm 단위의 오차도 허용하지 않는 극한의 정밀도를 요구합니다. 미세한 Misalignment는 광 손실을 유발할 뿐만 아니라, 제품 전체의 수율(Yield)을 결정짓는 치명적인 결함으로 작용합니다. 이는 향후 CPO 검사 장비 시장에서 고해상도 3D AOI(Automated Optical Inspection) 및 초정밀 정렬 검사 솔루션이 핵심적인 역할을 수행해야 함을 시사합니다.

CPO 기술 진화 및 패키징 아키텍처

AI 연산 및 데이터센터의 트래픽이 기하급수적으로 증가함에 따라, 데이터를 전달하는 인터커넥트(Interconnect) 기술의 패러다임은 단순히 '속도'를 높이는 단계를 넘어 '에너지 효율성'과 '신호 무결성(Signal Integrity)'을 확보하는 방향으로 진화하고 있습니다. 기존의 전기적 신호 전송 방식은 구리 배선의 물리적 한계로 인해 데이터 전송 거리가 짧아지고 전력 소모가 급증하는 병목 현상에 직면해 있으며, 이를 해결하기 위한 핵심 솔루션으로 광학 기술을 반도체 패키지 내부로 끌어들이는 CPO(Co-Packaged Optics, 공동 패키지형 광학) 기술이 부상하고 있습니다.

CPO 기술의 진화는 광학 소자와 반도체 칩 사이의 물리적 거리를 얼마나 좁히느냐, 그리고 이를 얼마나 하나의 패키지 내에 유기적으로 통합하느냐에 따라 단계적으로 구분됩니다.

1. 플러거블(Pluggable) 광모듈 단계: 분리형 구조의 한계

가장 전통적인 방식인 플러거블 방식은 스위치 칩(Switch ASIC)과 광모듈(Optical Module)이 별도의 물리적 공간에 위치하며, 이들 사이를 구리 배선(Copper Trace)이 연결하는 구조입니다. 이 방식은 모듈의 교체가 용이하고 유지보수가 쉽다는 장점이 있으나, 112G 및 차세대 224G SerDes 기술 환경에서는 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되는 문제를 야기합니다 [출처: 투자연구소 테크센터]. 신호 손실을 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 하며, 이는 데이터센터 전체의 전력 소비 급증과 열 밀도(Thermal Density) 상승이라는 부작용을 초래합니다 [출처: 투자연구소 테크센터].

2. CPO(Co-Packaged Optics) 단계: 통합형 패키징의 등장

CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판(Package Substrate) 위에 직접 통합하는 첨단 인터커넥트 기술입니다 [출처: AI 데이터센터의 차세대 광통신]. 칩과 광학 인터페이스 사이의 거리를 최소화함으로써 기존 플러거블 방식에서 발생하던 막대한 전력 손실과 지연(Latency) 문제를 근본적으로 해결합니다. 실측 데이터에 따르면, CPO 기술을 적용할 경우 800Gbps 포트당 전력을 기존 15W에서 5.5W 수준으로 대폭 절감할 수 있으며, 비트당 전력 소모(pJ/bit)를 50% 이상 줄이는 효과를 기대할 수 있습니다 [출처: AI 데이터센터의 차세대 광통신].

3. Advanced Packaging 및 실리콘 포토닉스(Silicon Photonics)의 융합

CPO의 고도화는 실리콘 포토닉스(Silicon Photonics) 기술과의 결합을 통해 완성됩니다. 이는 광학 소자를 실리콘 웨이퍼 상에 구현하여 전자 회로와 광학 회로를 하나의 칩(PIC, Photonic Integrated Circuit) 수준에서

통합하는 것을 목표로 합니다. 현재 업계에서는 3.2 Tbps 및 6.4 Tbps급 고대역폭을 지원하기 위해 실리콘 포토닉스 PIC와 이를 구동할 EIC(Electronic Integrated Circuit)를 개발하는 등 차세대 패키징 기술 확보에 막대한 예산을 투입하고 있습니다 [출처: 투자연구소 테크센터].

이러한 패키징 아키텍처의 진화는 검사 기술의 난이도를 비약적으로 상승시킵니다. 기존의 단순한 전기적 특성 검사를 넘어, 광학 소자와 반도체 칩이 초정밀 수준으로 정렬(Alignment)되어야 하며, 이종 집적(Heterogeneous Integration) 과정에서 발생하는 미세 결함과 열 관리 문제가 핵심적인 검사 이슈로 부각될 것입니다.

광 인터커넥트 패키징 기술 진화 단계



그림 1. 광 인터커넥트 패키징 기술 진화 단계

CPO 검사 솔루션 기술 고도화 로드맵



Cressem · 결정론 렌더

그림 2. CPO 검사 솔루션 기술 고도화 로드맵

2. [Step 2] AI-Driven 스마트 검사 및 수율 최적화 플랫폼(Yield Improvement)

단순히 불량(Defect)을 찾아내는 'Pass/Fail' 판정을 넘어, 검사 데이터를 분석하여 고객사의 제조 수율을 직접적으로 끌어올리는 **지능형 데이터 플랫폼**으로 진화해야 합니다. CPO는 공정 난이도가 매우 높기 때문에, 작은 결함이 전체 시스템의 치명적인 오류로 이어질 가능성이 큼니다.

- **AI 기반 과검(Over-kill) 방지 솔루션:** CPO 패키징 내부의 복잡한 구조물로 인해 발생하는 광학적 노이즈를 실제 결함으로 오인하는 문제를 해결하기 위해, 크레셈의 강점인 Deep Learning 기반 결함 분류 기술을 적용합니다. 이를 통해 양품과 불량(Void, Bridge, Misalignment 등)을 명확히 구분하여 과검률을 획기적으로 낮추어야 합니다 [출처: 기업 분석 보고서 (주)크레셈: 차세대 반도체 패키징 검사 솔루션의 선두주자].

- **Root Cause Analysis(RCA) 지원:** 검사 장비에서 수집된 Defect Map과 공정 파라미터를 결합하여, 불량률의 근본 원인을 역추적(Feedback)할 수 있는 기능을 제공합니다. 이는 고객사(SK하이닉스, 삼성전자, TSMC 등)가 공정 조건을 실시간으로 최적화할 수 있게 함으로써 장비의 가치를 단순 검사기에서 '수율 관리 파트너'로 격상시킵니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

3. [Step 3] 고객 맞춤형 모듈화 검사 시스템(Customized Module) 공급

CPO 기술은 아직 표준화 단계에 있으며, 제조사(Foundry) 및 패키징 업체(OSAT)의 공정 방식에 따라 요구되는 검사 스펙이 상이합니다. 크레셈은 기성 제품(Off-the-shelf) 방식이 아닌, 고객사의 특정 공정 아키텍처에 최적화된 모듈형 맞춤 검사 시스템 전략을 취해야 합니다.

- **공정 맞춤형 모듈화(Modularity):** 예를 들어, CoWoS(Chip on Wafer on Substrate) 기반의 CPO 적층 공정을 사용하는 고객사에게는 Interposer와 Substrate의 정밀 검사 모듈을, 실리콘 포토닉스 PIC 중심의 고객사에게는 광학 특성 검사 모듈을 신속하게 결합하여 공급할 수 있는 유연한 설계를 지향합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **실시간 결함 검출(Real-time Detection) 시스템:** AI 알고리즘과 고속 광학 엔진을 결합하여, 생산 라인의 Tact Time(생산 주기)을 저해하지 않으면서도 고속으로 대량의 데이터를 처리할 수 있는 인라인(In-line) 검사 솔루션을 완성함으로써 고객사의 양산 경쟁력을 극대화합니다.

결론적으로, 크레셈의 CPO 전략은 '초정밀 광학(Hardware) + AI 지능(Software) + 맞춤형 모듈(System)'의 삼박자를 갖추는 것입니다. 이를 통해 단순한 검사 장비 공급사를 넘어, AI 데이터센터 인프라의 핵심인 CPO 생태계 내에서 수율과 신뢰성을 보장하는 대체 불가능한(Irreplaceable) 기술 파트너로 도약할 것입니다.

결론 및 시사점

차세대 AI 인프라의 핵심 동력인 CPO(Co-Packaged Optics, 공동 패키징형 광학) 기술은 단순히 통신 속도를 높이는 수단을 넘어, 데이터센터의 전력 효율성과 물리적 한계를 극복하기 위한 필수적인 패러다임 전환(Paradigm Shift)입니다. 구리 배선 기반의 전기 신호 전송이 직면한 대역폭의 한계와 막대한 전력 소모 문제는 AI 연산 규모의 폭발적 증가에 따라 임계점에 도달하였으며, 이를 해결하기 위해 광학 소자와 반도체 스위치 칩을 하나의 패키지에 통합하는 CPO 기술의 도입은 필연적인 흐름으로 분석됩니다.

본 보고서에서 분석한 내용을 바탕으로 CPO 시장 선점을 위한 핵심 요약 및 시사점을 다음과 같이 제시합니다.

1. 기술적 측면: 초정밀 패키징 및 검사 기술의 확보 (Market Leadership)

CPO는 기존의 플러그블(Pluggable) 방식과 달리, 실리콘 포토닉스(Silicon Photonics) 기반의 광학 소자와 고성능 전기적 인터페이스(EIC/SERDES)를 극도로 미세한 간격으로 통합해야 합니다. 이 과정에서 발생하는 미세 정렬(Alignment) 오차, 접합부의 Void, 그리고 이종 집적(Heterogeneous Integration) 시의 열 관리 문제는 수율(Yield)을 결정짓는 치명적인 요소입니다. 따라서 Sub-micron 단위의 해상도를 가진 초고해상도 3D 광학 검사 기술과 AI 기반의 실시간 결함 분류(Defect Classification) 솔루션 확보가 시장 주도권의 핵심이 될 것입니다.

2. 사업적 측면: 맞춤형 솔루션 및 데이터 통합 플랫폼 구축 (Strategic Investment)

CPO 시장은 Broadcom, NVIDIA와 같은 글로벌 빅테크 기업들이 아키텍처를 주도하고 있으나, 이를 실제 양산 공정에 구현하기 위한 검사 및 패키징 솔루션의 수요는 급증하고 있습니다. 크레셈(CRESSEM)은 기존 FC-BGA 및 2.5D/3D 기판 검사 분야에서 축적한 고정밀 광학 엔진과 AI 비전 알고리즘을 CPO 공정에 최적화된 형태로 전이시켜야 합니다. 특히, 단순한 불량 검출을 넘어 공정상의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼을 장비에 통합함으로써, 고객사의 수율 개선에 직접적으로 기여하는 '수율 파트너(Yield Partner)'로서의 입지를 구축해야 합니다.

3. 종합 시사점

CPO 시장은 2024년 4,600만 달러 규모에서 2030년 81억 달러 규모로 연평균 성장률(CAGR) 137%에 달하는 폭발적 성장이 전망되는 블루오션입니다 [출처: 투자연구소 테크센터]. 크레셈은 HBM4 전환기에 요구되는 Hybrid Bonding 대응 기술과 CPO의 초정밀 통합 기술 사이의 기술적 접점을 선제적으로 공략해야 합니다. 고부가가치 메모리 검사 및 차세대 광 패키징 검사 시장으로의 성공적인 영역 확장은 크레셈이 글로벌 반도체 후공정 검사 장비 시장의 핵심 플레이어로 도약할 수 있는 결정적 기회가 될 것입니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](https://engineering-ladder.tistory.com/178)
2. [공동 패키징 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](https://www.idtechex.com/ko/research-report/co-packaged-optics/1019)
3. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](https://kai-search.tistory.com/46)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/)
5. [Cpo 관련주 Top10 | 광통신, 실리콘포토닉스 - 주식스토커](https://stockstalker.co.kr/cpo/)
6. [Cpo & Ai 하드웨어 11개 기업 완벽 분석: 기술력부터 ...](https://m.blog.naver.com/bokbokkim/224122623923)
7. [Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](https://www.idtechex.com/en/research-report/co-packaged-optics-cpo/1138)
8. [Co-Packaged Optics (CPO) Technology: Market Evolution & 2034 Projections](https://www.datainsightsmarket.com/reports/co-packaged-optics-cpo-technology-852059)
9. [PDF Co-Packaged Optics (CPO) 2025-2035: Technologies, Market, and Forecasts](http://www.sbdj.co.kr/email/2024/20240826/sample/IDTechExCoPackagedOpticsCPO.pdf)
10. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/)
11. IDTechExCoPackagedOpticsCPO.pdf (사내 자료)
12. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
13. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
14. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
15. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
16. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
17. ProfessorSeungHwanBaeReport.pdf (사내 자료)