

CoWoS 2.5D 패키징 공정 구조 분석 및 검사 기술 전략 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-06

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

CoWoS 2.5D 패키징 공정 구조 분석 및 검사 기술 전략 보고서	3
개요 (Executive Summary)	3
CoWoS 패키징의 구조적 메커니즘 분석	3
미래 기술 로드맵: Hybrid Bonding 대응	5
결론 및 시사점 (Conclusion)	6

CoWoS 2.5D 패키징 공정 구조 분석 및 검사 기술 전략 보고서

AI 가속기 및 HPC 시장의 핵심인 CoWoS 2.5D 패키징의 구조적 특징을 분석하고, 공정 단계별 발생 가능한 결함 유형을 정의합니다. 이를 해결하기 위한 고정밀 광학 검사 및 AI 기반 검사 기술 전략을 제안하여 수율 극대화 방안을 제시합니다.

개요 (Executive Summary)

반도체 산업의 패러다임이 전공정(Front-end)의 미세 공정 한계를 극복하기 위해 후공정(Back-end), 특히 **첨단 패키징(Advanced Packaging)** 기술로 급격히 이동하고 있습니다. AI 가속기(AI Accelerator)와 고성능 컴퓨팅(HPC) 시장의 폭발적인 성장은 단일 칩의 성능 향상만으로는 더 이상 요구되는 연산 능력과 대역폭(Bandwidth)을 충족할 수 없는 상황을 초래했습니다. 이러한 기술적 요구사항을 해결하기 위한 핵심 솔루션으로 부상한 것이 바로 **2.5D 패키징(2.5D Packaging)** 기술이며, 그 중심에는 TSMC가 주도하는 **CoWoS(Chip on Wafer on Substrate)** 공정이 자리 잡고 있습니다 [출처: SemiHub, TSMC CoWoS 기술 설명].

CoWoS 기술은 로직 다이(Logic Die)와 고대역폭 메모리(HBM)를 **실리콘 인터포저(Silicon Interposer)**라는 미세 회로 층 위에 배치함으로써, 기존의 2D 패키징 방식보다 훨씬 높은 수준의 데이터 전송 속도와 에너지 효율성을 제공합니다 [출처: Naver Blog]. 그러나 이러한 구조적 고도화는 공정 난이도의 비약적인 상승을 의미합니다. 칩 간의 연결 피치(Pitch)가 극도로 미세해짐에 따라, 아주 작은 정렬 오차(Misalignment)나 미세한 물리적 결함만으로도 전체 패키지의 수율(Yield)에 치명적인 영향을 미치게 되었습니다. 특히 고단 적층된 HBM과 인터포저 사이의 복잡한 연결 구조는 기존의 검사 방식으로는 탐지하기 어려운 새로운 유형의 결함들을 양산하고 있습니다.

본 보고서는 CoWoS 2.5D 패키징의 복잡한 구조적 메커니즘을 심층적으로 분석하고, 공정 단계별로 발생할 수 있는 주요 결함 유형(Defect Taxonomy)을 정의합니다. 또한, 미세 피치 대응을 위한 고정밀 광학 검사 및 비파괴 검사 기술의 필요성을 기술하며, **크레셈(CRESSEM)**이 보유한 AI 비전 알고리즘과 3D 프로파일링 기술을 활용하여 어떻게 수율을 극대화할 수 있는지에 대한 기술적 대응 전략을 제시합니다. 마지막으로, 향후 HBM4 및 차세대 CoWoS 공정의 게임 체인저가 될 **하이브리드 본딩(Hybrid Bonding, Cu-to-Cu)** 기술에 대한 검사 로드맵을 살펴봄으로써, 차세대 반도체 공급망 내에서 검사 장비 기술이 나아가야 할 방향을 제안하고자 합니다.

CoWoS 패키징의 구조적 메커니즘 분석

CoWoS(Chip on Wafer on Substrate)는 단순한 패키징을 넘어, 서로 다른 기능을 가진 반도체 칩들을 하나의 시스템처럼 동작하게 만드는 **2.5D 집적 기술(2.5D Integration Technology)**의 정수입니다 [출처: SemiHub]. 기존의 2D 패키징이 칩을 기판(Substrate) 위에 수평적으로 배열하여 물리적인 배선(Wire Bonding)으로 연결했다면, CoWoS는 **실리콘 인터포저(Silicon Interposer)**라는 중간 매개체를 도입하여 칩 간의 데이터 전송 경로를 획기적으로 단축하고 대역폭(Bandwidth)을 극대화합니다 [출처: TSMC CoWoS 기술 설명].

CoWoS의 구조적 메커니즘은 크게 세 가지 핵심 계층인 **Active Die**, **Silicon Interposer**, 그리고 **Substrate**의 유기적인 결합으로 이루어집니다.

1. Active Die: 시스템의 핵심 연산 및 저장 엔진

최상단에 위치하는 Active Die는 실제 연산을 수행하는 로직 칩(예: GPU, AI 가속기)과 데이터를 저장하는 메모리 칩(예: HBM)으로 구성됩니다.

- **Logic Die:** 고성능 연산을 담당하며, 방대한 양의 데이터를 메모리로부터 실시간으로 공급받아야 하므로 매우 높은 I/O(Input/Output) 밀도가 요구됩니다.

- **HBM (High Bandwidth Memory):** TSV(Through Silicon Via, 실리콘 관통 전극) 기술을 통해 수직으로 적층된 DRAM 칩들로, 인터포저와 직접 연결되어 초고속 데이터 통로를 형성합니다 [출처: SemiHub].

2. Silicon Interposer: 초미세 연결의 중추 (The Bridge)

CoWoS 구조에서 가장 핵심적인 역할을 수행하는 요소는 실리콘 인터포저입니다. 이는 Active Die와 Substrate 사이에서 '고속도로' 역할을 수행하는 미세 회로층입니다.

- **RDL (Redistribution Layer, 재배포선층):** 인터포저 상단에는 매우 미세한 피치(Fine-pitch)를 가진 RDL이 형성됩니다. 이 층은 칩의 범프(Bump)와 인터포저 내부의 배선을 연결하여 신호의 재배포를 가능하게 합니다. RDL의 미세화 정도가 곧 패키지의 성능과 직결됩니다.
- **TSV (Through Silicon Via):** 인터포저를 수직으로 관통하는 전극입니다. 인터포저 상단의 RDL과 하단의 Substrate를 전기적으로 연결하는 통로이며, 이 TSV를 통해 신호가 수직으로 이동함으로써 데이터 전송 지연(Latency)을 최소화합니다 [출처: SemiHub].
- **Interconnect Density:** 인터포저는 일반적인 PCB나 기판보다 훨씬 높은 배선 밀도를 제공하여, 수천 개 이상의 미세한 연결점을 확보할 수 있게 합니다.

3. Substrate: 시스템 지지 및 외부 통신 인터페이스

최하단의 Substrate(주로 FC-BGA 기술 적용)는 전체 패키지 구조를 물리적으로 지지하며, 패키지 내부의 미세 신호를 외부 시스템(Mainboard/PCB)의 상대적으로 큰 피치로 변환하여 전달하는 역할을 합니다. 인터포저의 TSV를 통해 전달된 신호는 Substrate의 볼(Ball)을 통해 외부로 출력됩니다.

CoWoS 패키지 적층 구조 단면도

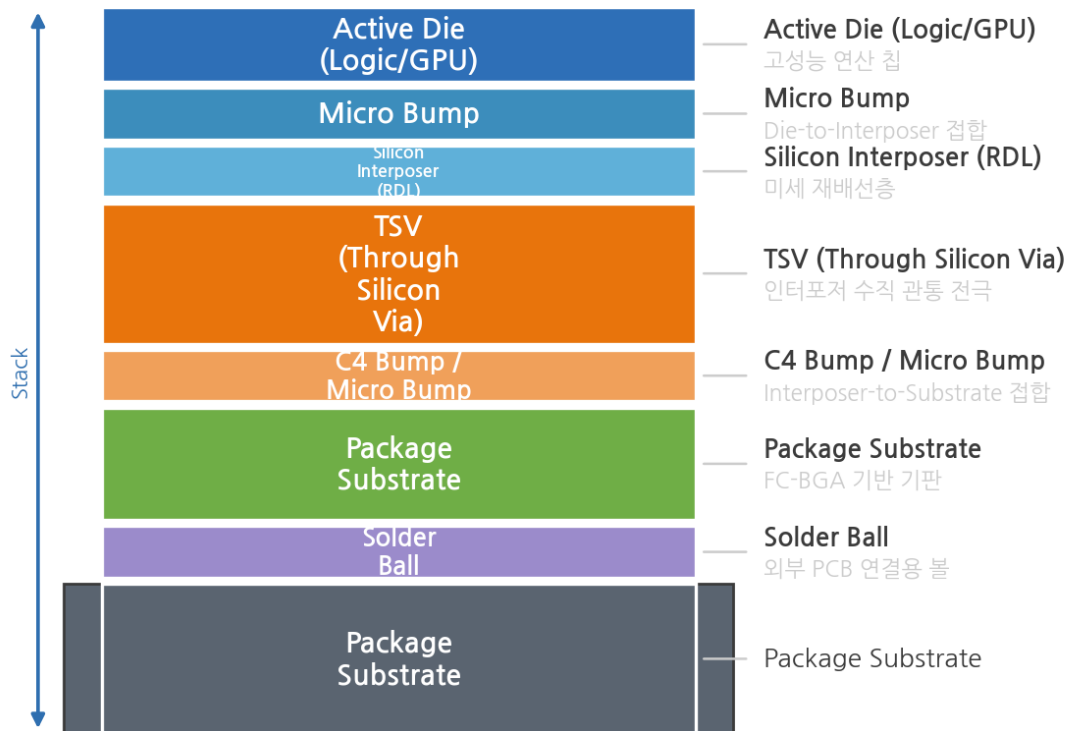


그림 1. CoWoS 패키지 적층 구조 단면도

CoWoS 공정 단계별 결함 흐름도



그림 2. CoWoS 공정 단계별 결함 흐름도

미래 기술 로드맵: Hybrid Bonding 대응

반도체 패키징 기술이 고도화됨에 따라, 기존의 범프(Bump) 기반 접합 방식은 물리적 한계에 직면하고 있습니다. 특히 HBM4(High Bandwidth Memory 4) 세대로의 전환과 차세대 CoWoS(Chip on Wafer on Substrate) 공정의 진화는 더 높은 적층 단수와 더 좁은 피치(Pitch)를 요구하며, 이는 필연적으로 하이브리드 본딩(Hybrid Bonding) 기술의 도입을 가속화하고 있습니다. 본 섹션에서는 차세대 패키징의 핵심인 하이브리드 본딩의 기술적 특성과 이에 따른 검사 기술의 패러다임 변화를 분석합니다.

1. 하이브리드 본딩(Hybrid Bonding)의 기술적 전환점

현재까지의 HBM 및 2.5D 패키징은 마이크로 범프(Micro-bump)를 매개체로 하여 칩과 인터포저, 혹은 칩과 칩을 연결하는 방식을 사용해 왔습니다. 그러나 적층 단수가 높아질수록 범프의 크기가 차지하는 부피가 전체 패키지 높이에서 차지하는 비중이 커지며, 이는 신호 전달 경로의 길이를 증가시켜 전기적 특성을 저하시키는 원인이 됩니다.

하이브리드 본딩(Hybrid Bonding), 특히 Cu-to-Cu(구리 직접 접합) 방식은 솔더(Solder) 범프를 제거하고 구리 패드와 절연막(Dielectric)을 직접 맞붙이는 기술입니다. 이 기술의 도입은 다음과 같은 혁신적인 변화를 가져옵니다.

- **초미세 피치 구현:** 범프가 사라짐에 따라 연결 간격을 극도로 좁힐 수 있어, I/O(Input/Output) 밀도를 기존 대비 수 배 이상 높일 수 있습니다.
- **패키지 두께 감소:** 범프 높이만큼의 공간을 절약할 수 있어, 동일한 높이 내에서 더 많은 수의 DRAM을 적층할 수 있는 HBM4 구현의 핵심 동력이 됩니다.
- **전기적 성능 극대화:** 신호 경로가 단축되어 기생 커패시턴스(Parasitic Capacitance)와 인덕턴스(Inductance)가 감소하며, 이는 초고속 데이터 전송 시 신호 무결성(Signal Integrity)을 획기적으로 개선합니다.

2. 차세대 검사 기술의 요구사항: Ultra-high Precision

하이브리드 본딩은 기존 방식보다 훨씬 가혹한 수준의 공정 정밀도를 요구합니다. 범프라는 '완충 지대'가 사라지기 때문에, 아주 미세한 오차나 이물질도 치명적인 결함으로 이어지기 때문입니다. 이에 따라 검사 장비는 다음과 같은 초고정밀(Ultra-high Precision) 역량을 갖추어야 합니다.

요구 기술 항목	상세 내용 및 필요성	검사 타겟 결함
----------	-------------	----------

초미세 정렬(Alignment)	Cu 패드 간의 나노미터(nm) 단위 정렬 정확도 확보	Misalignment (정렬 불량)
표면 거칠기 제어(Surface Roughness)	접합부의 평탄도(Planarity) 및 표면 상태 분석	Void (공극), Delamination (층간 분리)
이물질 검출(Particle Detection)	접합면에 개입하는 미세 파티클의 실시간 감지	Contamination (오염), Bridge (단락)
3D 형상 분석(3D Profiling)	접합부의 수직적 구조 및 높이 편차 측정	Step Height Error (단차 불량)

표 1. 차세대 검사 기술의 요구사항: Ultra-high Precision

하이브리드 본딩 공정에서는 접합 전(Pre-bonding) 단계에서 구리 패드의 평탄도와 표면 청정도를 확인하는 것이 필수적이며, 접합 후(Post-bonding) 단계에서는 눈에 보이지 않는 내부의 미세 간극이나 결함 불량을 검출하기 위한 고도화된 비파괴 검사 기술이 병행되어야 합니다.

3. CRESSEM의 대응 전략 및 기술 로드맵

크레셈은 HBM4 및 차세대 CoWoS 시장을 선점하기 위해, 기존의 광학 검사 기술을 넘어선 **하이브리드 본딩 전용 검사 솔루션** 개발에 역량을 집중하고 있습니다.

첫째, 초고해상도 3D AOI(Automated Optical Inspection) 기술의 고도화입니다.

기존의 범프 검사 수준을 상회하는 서브 마이크로미터($< 1\mu\text{m}$) 해상도를 구현하여, Cu 패드의 미세한 변형과 표면의 미세 파티클을 검출할 수 있는 광학 엔진을 개발해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM]. 이는 하이브리드 본딩에서 가장 빈번하게 발생하는 접합부 불량을 사전에 차단하는 핵심 기술이 될 것입니다.

둘째, AI 기반의 지능형 결함 분류(AI-Driven Defect Classification) 시스템 구축입니다.

하이브리드 본딩 공정은 데이터의 양이 방대하고 결함의 형태가 매우 미세하여, 기존의 Rule-based 방식으로는 과검(Over-kill)과 미검(Under-kill)을 동시에 해결하기 어렵습니다. 크레셈은 딥러닝 알고리즘을 통해 정상적인 표면 노이즈와 실제 접합 결함을 정밀하게 구분함으로써, 고객사의 수율(Yield)을 직접적으로 개선하는 데이터 분석 플랫폼을 제공할 것입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM].

셋째, 공정 피드백을 위한 데이터 통합 솔루션 제공입니다.

검사 결과를 단순히 PASS/FAIL로 판정하는 것에 그치지 않고, 검출된 결함 데이터를 전공정(Fab)의 식각(Etching) 또는 CMP(Chemical Mechanical Polishing) 공정 데이터와 연계하여 결함의 근본 원인(Root Cause)을 역추적할 수 있는 스마트 팩토리 대응형 솔루션을 지향합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

결론적으로, 하이브리드 본딩으로의 기술 전환은 검사 난이도의 급격한 상승을 의미하지만, 동시에 크레셈에게는 고부가가치 첨단 검사 장비 시장으로 도약할 수 있는 결정적인 기회입니다. 크레셈은 초정밀 광학 기술과 AI 비전 기술의 결합을 통해 차세대 HBM4 및 CoWoS 공정의 핵심 파트너로서 입지를 공고히 할 것입니다.

결론 및 시사점 (Conclusion)

본 보고서에서는 AI 가속기 및 고성능 컴퓨팅(HPC) 시장의 핵심 동력인 **CoWoS(Chip on Wafer on Substrate)** 2.5D 패키징의 구조적 메커니즘과 단계별 결함 유형, 그리고 이에 대응하기 위한 고정밀 검사 기술 전략을 심도 있게 분석하였습니다. 분석 결과, 반도체 산업의 패러다임이 전공정의 미세화에서 후공정인 **첨단 패키징(Advanced**

Packaging) 고도화로 급격히 이동함에 따라, 검사 기술의 중요성은 단순한 불량 선별을 넘어 제품의 경제성과 수율(Yield)을 결정짓는 핵심 경쟁력으로 부상하였음을 확인하였습니다.

향후 시장 주도권 확보를 위한 핵심 요약 및 전략적 제언은 다음과 같습니다.

1. 수율 최적화(Yield Optimization)를 위한 통합 검사 체계 구축

CoWoS 공정은 실리콘 인터포저(Silicon Interposer)와 미세 피치(Fine-pitch)의 Micro-bump를 다루는 초정밀 공정입니다. 따라서 단일 검사 방식으로는 공정 전반의 결함을 완벽히 제어할 수 없습니다. **Wafer Level**에서의 RDL 패턴 검사, **Chip-on-Wafer** 단계의 정렬(Alignment) 및 Bump 검사, 그리고 **Wafer-on-Substrate** 단계의 휨(Warp) 및 층간 분리(Delamination) 검사를 아우르는 통합적인 검사 솔루션이 필수적입니다. 특히, 검사 데이터를 단순 기록하는 것에 그치지 않고, 전공정(Fab)의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 **AI 기반 데이터 분석 플랫폼**을 구축함으로써 고객사의 수율 개선에 실질적으로 기여하는 파트너로서의 입지를 굳혀야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM].

2. 기술적 우위를 통한 시장 리더십(Market Leadership) 확보

글로벌 검사 장비 기업과의 기술 격차를 유지하고 급변하는 고객사의 요구(SK하이닉스, TSMC 등)에 대응하기 위해서는 **AI 비전 알고리즘**의 내재화가 최우선 과제입니다. 딥러닝 기반의 결함 분류(Defect Classification) 기술을 통해 정상적인 노이즈와 미세 결함을 정확히 구분함으로써, 생산성을 저하시키는 **과검(Over-kill)**률을 획기적으로 낮추는 기술력이 시장 리더십의 척도가 될 것입니다 [출처: 기업 분석 보고서]. 또한, 고단 적층 시 발생하는 물리적 변형을 실시간으로 측정할 수 있는 **3D 프로파일링 기술**과 고정밀 스테이지 제어 기술의 결합은 고부가가치 시장 진입을 위한 필수 요건입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM].

3. 차세대 기술 로드맵(Strategic Roadmap)의 선제적 이행

반도체 패키징 기술은 HBM4의 도입과 함께 **Hybrid Bonding(Cu-to-Cu)** 기술로의 급격한 전환을 앞두고 있습니다. 이는 기존의 Bump 방식보다 훨씬 미세한 정렬(Alignment)과 초고해상도 검사를 요구하는 기술적 변곡점입니다. 크레셈은 현재의 광학 검사 역량을 바탕으로 **초미세 간극 측정 및 접합부 결함 검출을 위한 전용 3D AOI(Automated Optical Inspection) 솔루션** 개발에 역량을 집중해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM]. 이러한 선제적인 기술 로드맵 이행은 차세대 AI 반도체 공급망 내에서 크레셈을 대체 불가능한 핵심 플레이어로 도약하게 할 것입니다 [출처: 기업 분석 보고서].

결론적으로, 크레셈은 검증된 **광학 엔진 및 AI 비전 기술**을 기반으로, 고객 맞춤형(Customized) 모듈화 장비 공급 전략을 병행함으로써 급변하는 첨단 패키징 시장에서 지속 가능한 성장 동력을 확보해야 합니다.