

CoWoS 2.5D 패키징 공정 단계별 구조 분석 및 검사 기술 전략 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-05

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

CoWoS 2.5D 패키징 공정 단계별 구조 분석 및 검사 기술 전략 보고서	3
개요 및 배경	3
CoW (Chip on Wafer) 단계: Wafer-Level Integration 분석	4
HBM 및 차세대 Hybrid Bonding 기술 전망	7
결론 및 시사점	9

CoWoS 2.5D 패키징 공정 단계별 구조 분석 및 검사 기술 전략 보고서

본 보고서는 TSMC의 CoWoS(Chip on Wafer on Substrate) 기술을 CoW와 WoS의 두 단계로 분리하여 상세 구조를 분석하고, 각 단계에서 발생하는 핵심 결함과 크레שמ(CRESSEM) 검사 솔루션의 기술적 대응 방안을 제시합니다.

개요 및 배경

1. AI 반도체 시장의 패러다임 변화와 후공정의 부상

최근 글로벌 반도체 산업은 인공지능(AI), 고성능 컴퓨팅(HPC), 그리고 차세대 네트워크 장비의 폭발적인 수요 증가에 직면해 있습니다. 과거 반도체 기술의 발전이 회로 선폴을 줄이는 '전공정 미세화(Front-end Scaling)'에 집중되었다면, 현재는 물리적 한계에 다다른 미세 공정의 효율성을 극대화하기 위해 칩을 어떻게 쌓고 연결할 것인가를 다루는 '후공정 고도화(Advanced Packaging)'가 핵심 경쟁력으로 급부상하였습니다.

특히 생성형 AI 모델의 거대화로 인해 GPU(Graphics Processing Unit)와 같은 연산 장치와 이를 뒷받침할 고대역폭 메모리(HBM, High Bandwidth Memory) 간의 데이터 전송 병목 현상이 심화됨에 따라, 이들을 물리적으로 가장 가깝게 배치하여 데이터 전송 효율을 극대화할 수 있는 패키징 기술이 필수적으로 요구되고 있습니다. 이러한 시장 환경 변화는 단순한 조립 단계를 넘어, 반도체 성능을 결정짓는 핵심적인 기술적 분수령이 되고 있습니다.

2. 2.5D 패키징 기술의 정의 및 핵심 가치

2.5D 패키징(2.5D Packaging)은 기존의 전통적인 패키징 방식(2D)과 칩을 수직으로 완전히 적층하는 3D 패키징(3D Packaging) 사이의 중간 단계 기술을 의미합니다. 2D 패키징이 개별 칩을 기판(Substrate) 위에 수평적으로 배치하는 방식이라면, 2.5D 패키징은 칩과 기판 사이에 **실리콘 인터포저(Silicon Interposer)**라는 미세 회로층을 삽입하여 칩 간의 연결 밀도를 획기적으로 높인 구조를 가집니다.

이 기술의 핵심 가치는 다음과 같습니다.

- **초고속 데이터 전송(Ultra-high Bandwidth)**: 인터포저 내부에 구현된 미세한 배선을 통해 칩 간의 통신 경로를 단축함으로써, HBM과 로직 칩(Logic Die) 사이의 데이터 전송 속도를 극대화합니다.
- **전력 효율성 개선(Energy Efficiency)**: 신호 전달 거리가 짧아짐에 따라 신호 감쇠가 줄어들고, 동일한 데이터를 전송하는 데 필요한 전력 소모를 절감할 수 있습니다.
- **집적도 향상(High Integration Density)**: 서로 다른 공정으로 제조된 이종 집적(Heterogeneous Integration) 칩들을 하나의 패키지 안에 효율적으로 통합할 수 있어, 시스템 전체의 크기를 줄이면서도 성능은 높일 수 있습니다.

3. CoWoS(Chip on Wafer on Substrate) 기술 개요

TSMC가 주도하고 있는 CoWoS(Chip on Wafer on Substrate)는 2.5D 패키징을 구현하는 가장 대표적이고 성숙한 기술 플랫폼입니다. CoWoS는 이름에서 알 수 있듯이, '**Wafer 위에 칩을 올리고(CoW), 그 통합된 Wafer를 다시 기판 위에 올리는(WoS)**' 이중 구조의 공정 단계를 거쳐 완성됩니다.

CoWoS 기술은 적용되는 인터포저의 재질과 구조에 따라 다양한 변형 모델로 발전해 왔습니다. 대표적으로 실리콘 인터포저를 사용하는 **CoWoS-S(Silicon Interposer)** 방식은 가장 높은 배선 밀도와 신뢰성을 제공하여 AI 가속기와 같은 초고성능 컴퓨팅(HPC) 분야에 표준으로 사용됩니다. 또한, 유기물 기반의 인터포저를 활용하는 **CoWoS-R(RDL-based)** 방식이나, 최근 칩렛(Chiplet) 기술의 확산에 따라 등장한 **CoWoS-L** 등은 비용 효율성과

설계 유연성을 높이는 방향으로 진화하고 있습니다. [출처: blog.naver.com], [출처: tsmc.com]

4. 검사 기술의 중요성 및 보고서의 목적

CoWoS와 같은 2.5D 패키징 기술은 구조가 복잡해질수록 결함(Defect)이 발생할 수 있는 지점이 기하급수적으로 늘어납니다. 실리콘 인터포저 상의 미세한 **Micro-bump** 정렬 불량, **TSV(Through Silicon Via)**의 전기적 연결 결함, 그리고 최종 조립 단계에서 발생하는 패키지 전체의 **Warping(휨)** 현상 등은 수율(Yield)에 치명적인 영향을 미칩니다.

특히 AI 반도체의 경우, 단 하나의 칩 결함이 전체 고가 패키지의 폐기로 이어질 수 있어, 공정 단계별로 초정밀 검사를 수행하는 것이 제조사의 수익성과 직결됩니다. 본 보고서는 CoWoS 공정을 CoW와 WoS 단계로 분리하여 구조적 특징을 심층 분석하고, 각 단계에서 발생하는 핵심 결함 유형을 분류합니다. 나아가, 크레셈(CRESSEM)이 보유한 AI 비전 및 고정밀 광학 검사 솔루션이 이러한 기술적 난제를 어떻게 해결하고 차세대 공정(Hybrid Bonding 등)을 선점할 것인지에 대한 전략적 대응 방안을 제시하고자 합니다.

CoW (Chip on Wafer) 단계: Wafer-Level Integration 분석

CoW(Chip on Wafer) 단계는 CoWoS(Chip on Wafer on Substrate) 공정의 첫 번째 핵심 과정으로, 개별적으로 제조된 로직 다이(Logic Die) 및 HBM(High Bandwidth Memory) 스택을 실리콘 인터포저(Silicon Interposer)라는 매개체 위에 배치하여 하나의 거대한 통합 웨이퍼(Integrated Wafer) 형태로 만드는 **Wafer-Level Integration** 공정을 의미합니다 [출처: blog.naver.com]. 이 단계는 단순히 칩을 올려두는 것을 넘어, 칩과 칩 사이, 그리고 칩과 인터포저 사이를 초미세 간격의 전기적 통로로 연결하여 데이터 전송 대역폭을 극대화하는 것이 목적입니다.

1. CoW 단계의 구조적 핵심 요소

CoW 단계의 기술적 난이도는 칩 간의 연결 밀도(Interconnect Density)를 얼마나 높일 수 있느냐에 달려 있으며, 이를 결정짓는 세 가지 핵심 요소는 다음과 같습니다.

1.1 실리콘 인터포저 (Silicon Interposer)

인터포저는 로직 칩과 HBM 사이에서 고속 신호 전달을 담당하는 '중간 기판' 역할을 합니다. 기존의 유기물 기판(Organic Substrate)보다 훨씬 미세한 회로 패턴을 구현할 수 있는 실리콘 소재를 사용합니다. 인터포저 내부에는 **TSV(Through Silicon Via, 실리콘 관통 전극)**가 형성되어 있어, 웨이퍼의 상단 층과 하단 층을 수직으로 관통하며 전기적 신호를 전달합니다 [출처: semihub.io]. TSV의 직경이 작아지고 피치(Pitch)가 미세해질수록 더 많은 데이터 통로를 확보할 수 있어 고성능 AI 가속기 구현에 필수적입니다.

1.2 마이크로 범프 (Micro-bump)

칩(Die)과 인터포저 사이의 물리적·전기적 연결을 담당하는 초미세 솔더 볼입니다. CoW 공정에서는 수천 개에서 수만 개의 마이크로 범프가 매우 정밀한 간격으로 배치되어야 합니다. 범프의 크기는 일반적으로 수 μm 단위의 스케일을 가지며, 이 범프를 통해 로직 칩의 I/O(Input/Output)와 인터포저의 RDL(Redistribution Layer, 재배포선층)이 결합됩니다. 범프의 높이 불균일이나 정렬 오차는 곧바로 데이터 전송 오류나 단락(Short)으로 이어지므로 극도의 정밀도가 요구됩니다.

1.3 재배포선층 (RDL, Redistribution Layer)

인터포저 상단에 형성되는 미세 회로 층입니다. 칩의 범프 위치와 인터포저의 TSV 위치가 서로 일치하지 않을 경우, RDL을 통해 신호의 경로를 재배포하여 최적의 연결을 유도합니다. RDL의 선폭(Line Width)과 간격(Space)이 미세해질수록 인터포저의 집적도가 높아지지만, 공정 중 결함 발생 가능성 또한 상승합니다.

CoW 단계의 인터포저-칩 적층 단면도

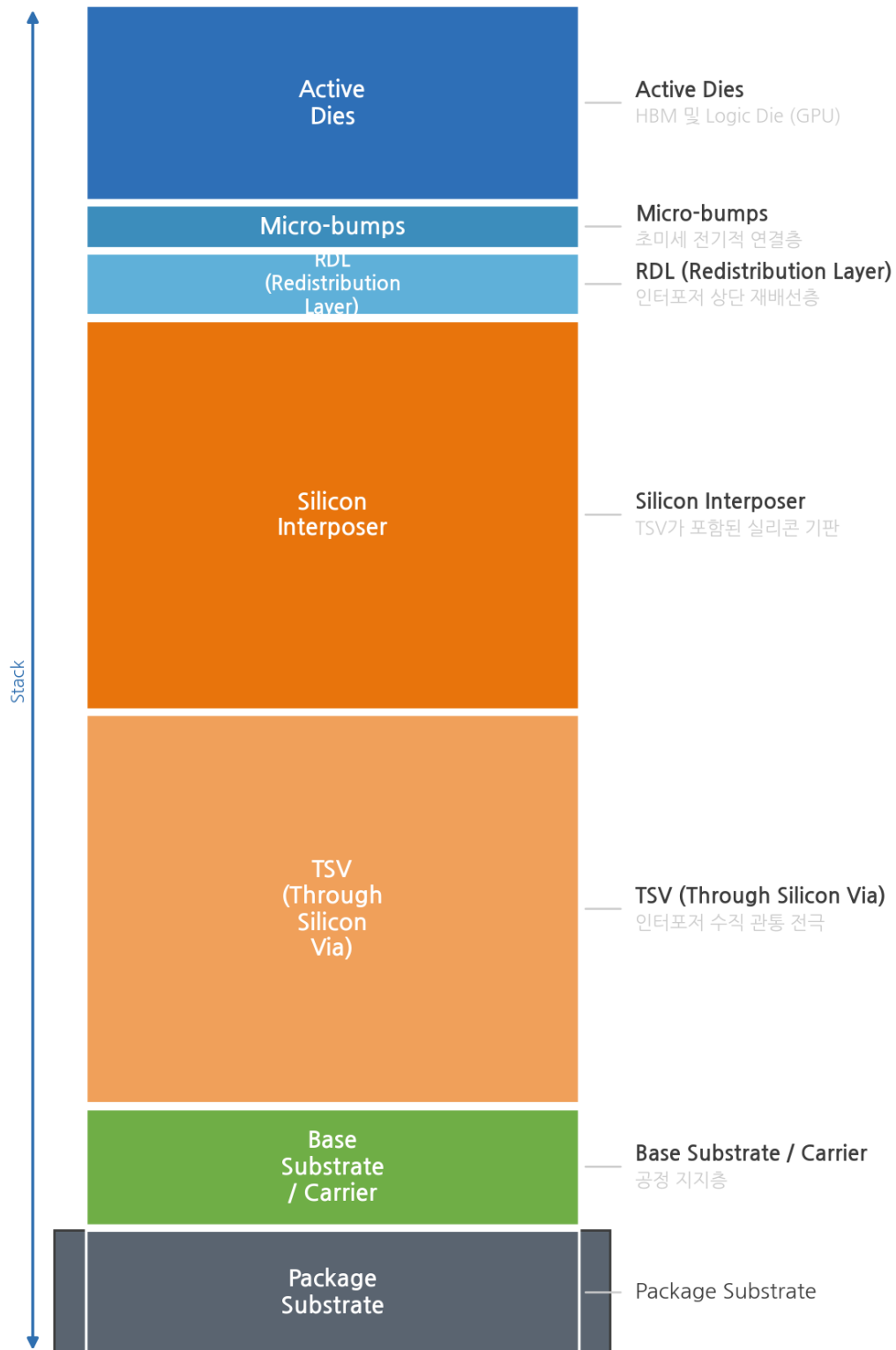


그림 1. CoW 단계의 인터포저-칩 적층 단면도

WoS 단계의 패키지 적층 구조 단면도

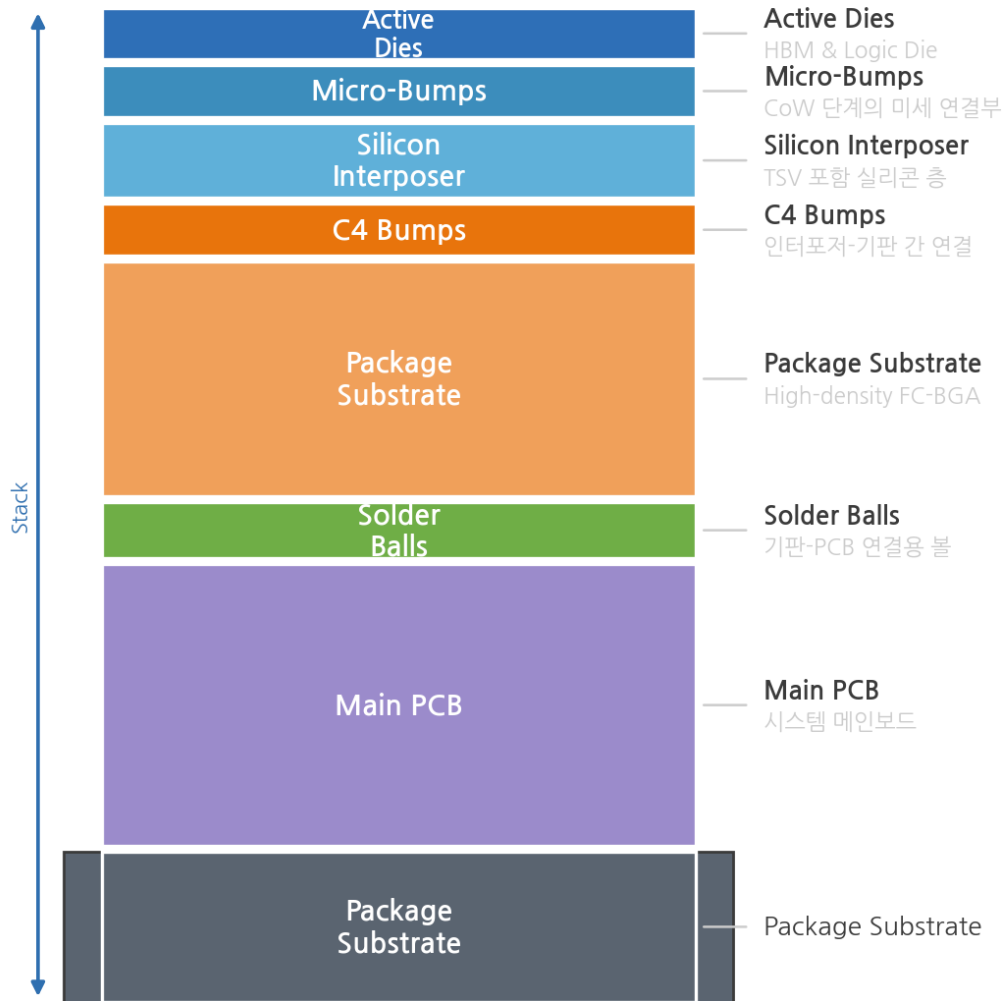


그림 2. WoS 단계의 패키지 적층 구조 단면도

크레셈 차세대 검사 솔루션 기술 적용 프로세스



그림 3. 크레셈 차세대 검사 솔루션 기술 적용 프로세스

2. WoS 단계: 대면적 기판 안정성 및 구조적 건전성 검사

WoS(Wafer on Substrate) 단계는 통합된 인터포저 웨이퍼를 최종 패키지 기판(Substrate, 예: FC-BGA)에 실장하는 과정입니다. 이 단계에서는 미세 패턴보다는 대면적 구조물의 물리적 변형과 대형 범프의 연결성이 핵심입니다.

- 3D Profiling 기반의 Warpage(휨) 및 평탄도 제어:

고단 적층된 HBM과 대면적 기판이 결합될 때 발생하는 열 응력(Thermal Stress)은 패키지의 휨 현상을 유발합니다. 크레셈의 3D Profiling 기술은 웨이퍼 및 패키지 전체의 물리적 변형을 정밀하게 측정하여, 후속 공정(Reflow 등)에서 발생할 수 있는 접합 불량률 사전에 차단합니다. 이는 특히 고성능 컴퓨팅(HPC)용 대형 패키지 검사에서 필수적인 기술입니다.

- High-Density Substrate 패턴 및 Micro Bump 검사:

FC-BGA와 같은 고밀도 기판 검사 시, 기판 내부의 미세 회로 패턴 단선(Open) 및 단락(Short)을 검출하기 위해 크레셈의 고속 스캔 기술이 적용됩니다. 기판 위에 형성된 솔더 볼(Solder Ball)의 크기, 높이, 정렬 상태를 고속으로 스캔하여 생산 라인의 Tact Time(생산 주기)을 극대화하면서도 무결점 검사를 수행합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

3. 기술적 차별화 및 고객 가치 제안 (Value Proposition)

크레셈의 전략은 단순히 '불량을 찾는 것'에 머물지 않고, '공정을 개선하는 데이터'를 제공하는 데 있습니다.

핵심 기술 요소	기술적 특징 (Technical Feature)	고객사 제공 가치 (Customer Value)
AI-Driven Machine Vision	Deep Learning 기반의 결함/노이즈 자동 분류	과검(Over-kill) 최소화 및 검사 신뢰도 향상
High-resolution Optical	초미세 피치 대응 고해상도 이미지 획득	CoW 단계의 미세 연결성(Interconnect) 확보
3D Profiling	대면적 구조물의 높이 및 휨(Warpage) 측정	WoS 단계의 패키지 구조적 건전성 보장
Data Analytics	검사 데이터 기반 불량 원인 역추적 (RCA)	제조 공정 수율(Yield)의 실질적 향상 기여

표 1. 기술적 차별화 및 고객 가치 제안 (Value Proposition)

[전략적 제언: Smart Factory 파트너로의 진화]

차세대 HBM4 및 Hybrid Bonding 공정으로의 전환은 검사 난이도를 기하급수적으로 높일 것입니다. 크레셈은 현재의 광학 검사 역량을 넘어, 검사 데이터를 실시간으로 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)할 수 있는 AI 기반 스마트 팩토리 솔루션을 강화하고 있습니다. 이를 통해 고객사(SK하이닉스, LG이노텍, 대덕전자 및 잠재적 고객사인 CXMT 등)가 직면한 수율 문제를 선제적으로 해결하는 대체 불가능한 파트너로서의 입지를 공고히 할 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

HBM 및 차세대 Hybrid Bonding 기술 전망

1. HBM4 전환에 따른 패키징 패러다임의 변화

AI 가속기 시장의 폭발적인 성장과 함께 고대역폭 메모리(HBM, High Bandwidth Memory)의 세대 교체는 단순한 용량 증설을 넘어, 데이터 전송 속도와 에너지 효율을 극대화하기 위한 구조적 혁신으로 이어지고 있습니다.

현재 HBM3E까지는 칩과 칩 사이를 전기적으로 연결하기 위해 미세한 돌기 형태의 **마이크로 범프(Micro-bump)**를 사용하는 방식이 주류를 이루고 있습니다. 그러나 HBM4 세대로 진입함에 따라, 적층 단수가 높아지고 칩의 두께가 얇아지면서 기존 범프 방식은 물리적 한계에 직면하고 있습니다.

기존 범프 방식은 범프의 높이로 인해 발생하는 물리적 간극(Gap)과 그로 인한 신호 전달 경로의 증가, 그리고 열 방출(Thermal Dissipation)의 효율 저하라는 고질적인 문제를 안고 있습니다. 특히 HBM4부터는 데이터 대역폭을 비약적으로 높이기 위해 더 많은 I/O(Input/Output) 채널이 필요하며, 이는 범프의 크기를 극단적으로 줄여야 함을 의미합니다. 하지만 범프가 작아질수록 정렬(Alignment)의 난이도는 기하급수적으로 상승하며, 범프 간의 전기적 단락(Short)이나 불완전한 접합(Open)과 같은 결함 발생 가능성도 함께 증가합니다. [출처: pdfHBMHighBandwid20260508001.pdf]

2. Hybrid Bonding(구리 직접 접합) 기술의 도입과 구조적 혁신

이러한 한계를 극복하기 위해 차세대 HBM4 및 이후 공정의 핵심 기술로 부상하고 있는 것이 바로 **하이브리드 본딩(Hybrid Bonding)**, 구체적으로는 **구리 직접 접합(Copper Direct Bonding, Cu-to-Cu Bonding)** 기술입니다. 하이브리드 본딩은 기존의 범프(Solder Bump)를 완전히 제거하고, 구리(Cu) 패드와 절연막(Dielectric, 주로 SiO₂)을 직접 맞붙이는 방식입니다.

구분	기존 Micro-bump 방식	Hybrid Bonding (Cu-to-Cu) 방식
연결 매개체	Solder Bump (Sn, Ag 등 합금)	Copper (Cu) Pad 직접 접합
연결 간격(Pitch)	수십 μm 단위	수 μm 이하 (Ultra-fine Pitch)
신호 경로	범프 높이만큼의 추가 경로 발생	칩 간 직접 연결로 경로 최소화
열 관리 효율	범프 층이 열 저항(Thermal Resistance)으로 작용	금속 직접 접합으로 열 전도를 극대화
주요 검사 타겟	Bump 높이, 정렬, 볼 크기, 이물질	Cu Pad 평탄도(CMP), 초미세 정렬, 표면 오염

표 2. Hybrid Bonding(구리 직접 접합) 기술의 도입과 구조적

하이브리드 본딩은 범프가 차지하던 물리적 공간을 제거함으로써 칩의 전체 두께를 줄일 수 있으며, 이는 동일한 높이 내에서 더 많은 단수를 적층할 수 있는 기반을 제공합니다. 또한, 구리 패드 간의 직접적인 연결은 전기적 저항을 최소화하여 신호 무결성(Signal Integrity)을 높이고, 전력 소모를 줄이는 데 결정적인 역할을 합니다. [출처: 분석_크레셈CRESSEM20260509001.pdf]

3. 검사 난이도의 급격한 상승 및 기술적 도전 과제

하이브리드 본딩 기술의 도입은 반도체 후공정 검사(Inspection) 단계에 전례 없는 기술적 난제를 던져주고 있습니다. 기존의 광학 검사 장비가 범프의 형상이나 높이를 측정하는 데 집중했다면, 하이브리드 본딩 공정에서는 다음과 같은 초정밀 검사 역량이 요구됩니다.

첫째, **표면 평탄도(Planarity)** 및 **CMP(Chemical Mechanical Polishing) 품질 검사**입니다. 하이브리드 본딩의 성패는 구리 패드와 절연막 표면이 원자 단위에 가까운 수준으로 평탄하게 가공되었는지에 달려 있습니다. 표면에 미세한 돌출부(Protrusion)나 함몰부(Recess)가 존재할 경우, 접합 시 보이드(Void)가 발생하여 전기적 연결 불량을 야기합니다. 따라서 매우 높은 해상도를 가진 3D 프로파일링 기술이 필수적입니다.

둘째, **초미세 정렬(Ultra-fine Alignment) 검사**입니다. 범프 피치보다 훨씬 좁은 간격의 구리 패드를 정확히 맞추어야 하므로, 기존의 서브 마이크론(sub- μm) 수준을 넘어선 나노미터(nm) 단위의 정렬 오차 제어와 이를 실시간으로 검증할 수 있는 비전 알고리즘이 필요합니다.

셋째, **표면 오염(Surface Contamination) 관리**입니다. 범프 방식에서는 미세한 이물질이 범프의 높이에 영향을 주는 정도였으나, 하이브리드 본딩에서는 단 하나의 나노미터 크기 입자(Particle)가 접하면 전체의 결합력을 약화시키거나 거대한 보이드(Void)를 형성하는 치명적인 결함으로 이어집니다. 따라서 극도로 민감한 광학 검사 엔진과 이를 판독할 수 있는 고도화된 AI 비전 솔루션이 요구됩니다. [출처: 분석_크레셈CRESSEM20260509001.pdf]

결론적으로, HBM4 이후의 시장은 '얼마나 높이 쌓는가'를 넘어 '얼마나 정밀하게 직접 연결하는가'의 싸움이 될 것이며, 이는 크레셈과 같은 검사 장비 기업에 있어 기존의 광학 기술을 초월한 **초미세 간극 측정 기술(Ultra-fine Gap Measurement)** 및 **AI 기반 결함 분석 솔루션**의 확보를 강력하게 요구하고 있습니다. [출처: 분석_크레셈CRESSEM20260509001.pdf]

결론 및 시사점

본 보고서에서는 AI 가속기 및 고성능 컴퓨팅(HPC) 시장의 핵심 동력인 CoWoS(Chip on Wafer on Substrate) 2.5D 패키징 기술을 CoW(Chip on Wafer)와 WoS(Wafer on Substrate) 단계로 분리하여 그 구조적 특성과 공정별 검사 요구사항을 심층 분석하였습니다. 분석 결과, 반도체 제조 공정의 패러다임이 전공정 미세화에서 후공정(Advanced Packaging) 고도화로 급격히 이동함에 따라, 검사 기술의 정밀도와 데이터 분석 역량이 수율(Yield) 결정의 핵심 요소로 부상하고 있습니다.

CXMT를 포함한 글로벌 고객사 대응을 위한 기술 로드맵(Technical Roadmap) 및 전략적 제언은 다음과 같습니다.

1. 공정 단계별 정밀 검사 체계 구축을 통한 수율 극대화 (Yield Improvement)

CoW 단계에서는 실리콘 인터포저 상의 초미세 Micro-bump 정렬 및 TSV(Through Silicon Via) 연결성을 확보하기 위한 고해상도 광학 검사가 필수적이며, WoS 단계에서는 대면적 기판과 통합 웨이퍼 간의 물리적 변형인 Warpage(휨) 및 C4 Bump의 신뢰성 검증이 핵심입니다. 크레셈은 각 단계에서 발생하는 미세 결함과 물리적 변형을 실시간으로 포착할 수 있는 고정밀 검사 솔루션을 제공함으로써, 고객사가 직면한 공정 난이도 상승 문제를 해결하고 수율을 안정화하는 데 기여해야 합니다. [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반

2. AI 비전 기반의 스마트 검사 솔루션을 통한 고객 락인(Customer Lock-in) 강화

단순한 불량 검출(Detection)을 넘어, 검사 데이터를 기반으로 불량의 근본 원인을 역추적(Root Cause Analysis)할 수 있는 AI 기반 데이터 분석 솔루션을 제공해야 합니다. Deep Learning 기반의 결함 분류 기술을 통해 과검(Over-kill)률을 획기적으로 낮추고, 고객사의 생산 라인에 최적화된 맞춤형 검사 시스템(Customized Inspection System)을 공급함으로써 기술적 진입장벽을 구축하고 강력한 고객 락인 효과를 창출해야 합니다. [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반

3. 차세대 기술(Hybrid Bonding) 선점을 위한 R&D 지속 투자

HBM4 이후 도입될 Hybrid Bonding(구리 직접 접합) 기술은 기존 Bump 방식과는 차원이 다른 초미세 간극 측정 능력을 요구합니다. 크레셈은 현재의 광학 검사 기술력을 바탕으로 차세대 Hybrid Bonding 공정의 요구 규격을 선제적으로 정의하고, 이를 충족하는 초정밀 검사 모듈 개발에 R&D 역량을 집중하여 차세대 패키징 시장의 주도권을 확보해야 합니다. [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반

결론적으로, 크레셈은 고난도 패키징 공정에서 발생하는 복합적인 결함에 대응할 수 있는 '**고정밀 하드웨어(Optical Engine)**'와 '**지능형 소프트웨어(AI Vision)**'가 결합된 통합 솔루션을 통해, 급변하는 AI 반도체

공급망 내에서 대체 불가능한 핵심 파트너로서의 지위를 공고히 할 것입니다.