

CoWoS 2.5D 패키징 구조 분석 및 검사 기술 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-20

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

CoWoS 2.5D 패키징 구조 분석 및 검사 기술 보고서	3
개요/배경	3
CoWoS 아키텍처 및 물리적 구조	4
주요 공정 결함 및 검사 항목	7
차세대 검사 솔루션 요구사항	9
결론/시사점	10

CoWoS 2.5D 패키징 구조 분석 및 검사 기술 보고서

TSMC의 핵심 2.5D 패키징 기술인 CoWoS(Chip on Wafer on Substrate)의 구조적 특징과 인터포저(Interposer)의 역할을 분석합니다. 또한, 고성능 컴퓨팅(HPC) 및 AI 가속기 구현을 위한 핵심 구성 요소와 공정상 발생 가능한 결함 및 검사 요구사항을 다룹니다.

개요/배경

1. 반도체 패키징 패러다임의 전환: 전공정 미세화에서 후공정 고도화로

반도체 산업은 지난 수십 년간 무어의 법칙(Moore's Law)에 따라 회로 선폭을 줄이는 전공정(Front-end) 미세화 공정을 통해 성능 향상을 달성해 왔습니다. 그러나 물리적 한계점에 도달함에 따라 단일 칩(Monolithic Die)의 크기를 키우는 방식만으로는 집적도와 성능을 높이는 데 막대한 비용과 기술적 난관이 따르게 되었습니다. 이러한 한계를 극복하기 위해 최근 반도체 산업의 패러다임은 개별 칩의 성능을 높이는 것을 넘어, 서로 다른 기능을 가진 칩들을 어떻게 효율적으로 연결하고 통합할 것인가에 초점을 맞춘 **후공정(Back-end) 및 어드밴스드 패키징(Advanced Packaging)** 기술로 급격히 이동하고 있습니다.

특히 인공지능(AI), 고성능 컴퓨팅(HPC), 데이터 센터 시장이 폭발적으로 성장함에 따라, 방대한 양의 데이터를 초고속으로 처리할 수 있는 시스템-인-패키지(System-in-Package, SiP) 기술의 중요성이 그 어느 때보다 강조되고 있습니다. 현대의 AI 가속기는 단순히 연산 능력만 높아서는 안 되며, 연산 장치(Logic Die)와 메모리(HBM) 사이의 데이터 전송 대역폭(Bandwidth)을 극대화하고 지연 시간(Latency)을 최소화해야 하는 과제를 안고 있습니다.

2. 2.5D 패키징 기술의 등장과 정의

전통적인 패키징 방식인 2D 구조는 칩을 기판(Substrate) 위에 수평 방향으로 배열하는 단순한 형태였습니다. 반면, 칩을 수직으로 적층하여 면적을 줄이고 성능을 높이는 방식은 3D 패키징으로 분류됩니다. **2.5D 패키징(2.5D Packaging)**은 이 두 방식의 중간 단계로, 칩을 수평으로 배치하되 칩과 기판 사이에 **실리콘 인터포저(Silicon Interposer)**라는 고밀도 중간층을 삽입하여 칩 간의 연결성을 비약적으로 향상시킨 구조를 의미합니다 [출처: blog.naver.com], [출처: semihub.io].

2.5D 패키징은 다음과 같은 구조적 특징을 가집니다:

- **수평적 배치와 입체적 연결:** 로직 칩과 HBM 등의 메모리 칩을 인터포저 위에 나란히 배치하여 물리적 거리를 좁히되, 인터포저 내부의 미세한 회로를 통해 입체적인 데이터 통로를 형성합니다.
- **고밀도 인터커넥트:** 일반적인 기판(Substrate)보다 훨씬 미세한 배선(Routing)이 가능한 실리콘 인터포저를 활용함으로써, 수천 개 이상의 미세한 통로를 통해 칩 간 통신을 가능하게 합니다.

3. CoWoS(Chip on Wafer on Substrate) 기술의 정의 및 핵심 가치

CoWoS(Chip on Wafer on Substrate)는 세계 최대 파운드리 기업인 TSMC가 개발한 대표적인 2.5D 어드밴스드 패키징 아키텍처입니다 [출처: semiconductorx.com]. CoWoS는 실리콘 인터포저 위에 칩들을 배치(Chip on Wafer)하고, 이를 다시 패키지 기판 위에 올리는(on Substrate) 공정 흐름을 직관적으로 나타내는 명칭입니다 [출처: github.com].

CoWoS 기술은 현대 AI 반도체 생태계에서 다음과 같은 결정적인 역할을 수행합니다:

구분	주요 역할 및 가치	비고
----	------------	----

데이터 대역폭 확보	로직 칩과 HBM을 원자 수준의 거리로 밀착시켜 LLM(대규모 언어 모델) 구동에 필수적인 초고대역폭을 제공 [출처: github.com]	NVIDIA H100/B200 핵심 기술
HPC/AI 최적화	고성능 컴퓨팅(HPC) 및 AI 제품의 성능을 구현하는 필수적인 물리적 기반 제공 [출처: 3dfabric.tsmc.com]	TSMC 3DFabric™ 플랫폼
시스템 통합	서로 다른 공정(Process Node)에서 제조된 로직 칩과 메모리를 하나의 패키지로 통합하여 시스템 효율 극대화	Chiplet 전략의 핵심

표 1. CoWoS(Chip on Wafer on Substrate) 기술의

결론적으로 CoWoS는 단순한 패키징 기술을 넘어, NVIDIA의 Blackwell(B200) 아키텍처와 같은 최첨단 AI 가속기를 구현하기 위한 **전략적 핵심 인프라**로 자리 잡았습니다. CoWoS 기술의 안정적인 확보 여부가 글로벌 AI 반도체 공급망의 주도권을 결정짓는 핵심 요소가 된 것입니다.

4. 보고서의 목적 및 범위

본 보고서는 AI 반도체 시장의 폭발적 성장을 견인하고 있는 CoWoS 2.5D 패키징 기술의 물리적 구조를 심층 분석하고, 해당 공정에서 요구되는 고정밀 검사 기술의 현황을 진단하는 데 목적이 있습니다. 특히, 인터포저와 칩 간의 미세 연결성(Interconnect) 확보가 수율(Yield)의 핵심인 만큼, 공정 중 발생할 수 있는 주요 결함 유형을 정의하고 이를 해결하기 위한 차세대 광학 및 AI 비전 기반 검사 솔루션의 요구사항을 제시하고자 합니다.

CoWoS 아키텍처 및 물리적 구조

CoWoS(Chip on Wafer on Substrate)는 TSMC가 주도하는 첨단 2.5D 패키징 기술의 핵심 아키텍처로, 단일 칩(Monolithic Die)의 물리적 크기 한계와 I/O(Input/Output) 밀도의 제약을 극복하기 위해 설계되었습니다. 이 기술의 핵심은 로직 칩(Logic Die)과 고대역폭 메모리(HBM, High Bandwidth Memory)를 수직으로 쌓는 3D 적층 방식이 아니라, 실리콘 인터포저(Silicon Interposer)라는 중간 매개체를 통해 수평 방향으로 배치(Horizontal Stacking)하여 하나의 시스템처럼 동작하게 만드는 '시스템 인 패키지(System-in-Package, SiP)' 구조에 있습니다.

1. 실리콘 인터포저(Silicon Interposer)의 역할과 물리적 특성

CoWoS 구조의 중추 역할을 수행하는 것은 실리콘 인터포저입니다. 기존의 전통적인 2D 패키징에서는 칩과 기판(Substrate)이 직접 연결되거나, 비교적 미세한 회로 구현이 어려운 유기물 기반의 기판을 사용했습니다. 그러나 AI 연산에 필요한 초고속 데이터 전송을 위해서는 칩 간의 연결 밀도가 비약적으로 높아야 하며, 이를 위해 실리콘 웨이퍼를 기반으로 한 인터포저가 도입되었습니다.

실리콘 인터포저는 반도체 전공정(Front-end) 기술을 활용하여 매우 미세한 배선(Fine Pitch Interconnect)을 형성할 수 있습니다. 이를 통해 로직 칩과 HBM 사이의 데이터 통로인 인터커넥트(Interconnect)의 간격을 극도로 좁힐 수 있으며, 이는 곧 데이터 전송 대역폭(Bandwidth)의 극대화와 전력 소모(Power Consumption)의 감소로 직결됩니다. 인터포저는 단순히 칩을 올려두는 받침대가 아니라, 수천 개에서 수만 개에 달하는 미세 전극(Micro Bump)을 통해 각 칩 사이의 전기적 신호를 중계하는 고성능 통신 플랫폼 역할을 수행합니다. [출처: blog.naver.com], [출처: semihub.io]

2. 로직 칩과 HBM의 수평 배치(Horizontal Stacking) 메커니즘

CoWoS의 물리적 구조는 크게 세 가지 계층적 층위로 구분됩니다. 최상단에는 연산을 담당하는 거대한 로직 칩(예: NVIDIA H100, B200)과 데이터를 저장하는 HBM이 위치하며, 중간층에는 실리콘 인터포저가, 최하단에는 패키지 기판(Substrate)이 자리 잡습니다.

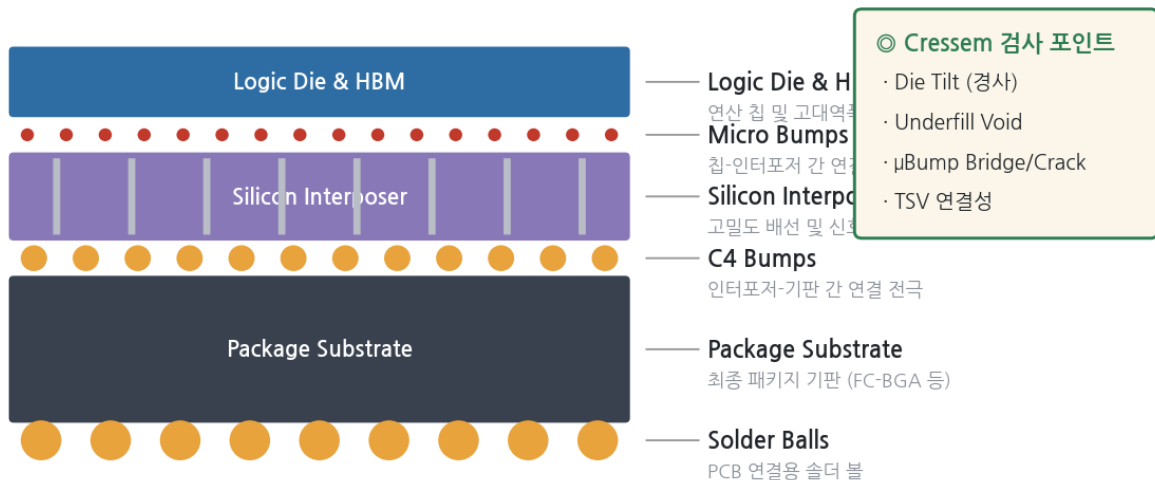
- **로직 칩과 HBM의 밀착 배치:** 현대의 AI 가속기는 LLM(대규모 언어 모델) 구동을 위해 방대한 양의 데이터를 실시간으로 처리해야 합니다. 이를 위해 로직 연산 칩과 HBM을 원자 수준의 거리로 최대한 밀착시켜 배치합니다. 이러한 수평적 배치는 칩을 수직으로 쌓는 3D 구조와 달리, 열 방출(Thermal Dissipation) 측면에서 유리한 면이 있으며, 각 칩의 독립적인 물리적 특성을 유지하면서도 데이터 전송 경로를 최단 거리로 확보할 수 있게 합니다. [출처: github.com]

- **데이터 전송 대역폭 확보:** HBM은 TSV(Through Silicon Via, 실리콘 관통 전극) 기술을 통해 수직으로 적층된 메모리 층을 가지고 있으며, 이 HBM의 하단 범프(Bump)가 실리콘 인터포저 상의 미세 배선과 연결됩니다. 인터포저 내부의 초미세 회로를 통해 로직 칩과 HBM 간의 I/O 밀도가 극대화됨으로써, 기존 방식으로는 불가능했던 초고대역폭(Ultra-high Bandwidth) 통신이 가능해집니다.

3. CoWoS 아키텍처의 계층적 구조 분석

CoWoS는 'Chip on Wafer on Substrate'라는 명칭에서 알 수 있듯이, 웨이퍼 상태의 인터포저 위에 칩을 올리고, 이를 다시 기판 위에 올리는 복합적인 공정 단계를 거칩니다. 이 과정에서 각 층간의 정렬(Alignment)과 연결 신뢰성이 제품의 수율을 결정짓는 핵심 요소가 됩니다.

CoWoS 2.5D 패키징 구조 단면도



Cressem · 결정론 렌더 · 읽기용 개략도

그림 1. CoWoS 2.5D 패키징 구조 단면도

CoWoS 2.5D 패키징 핵심 구성 아키텍처

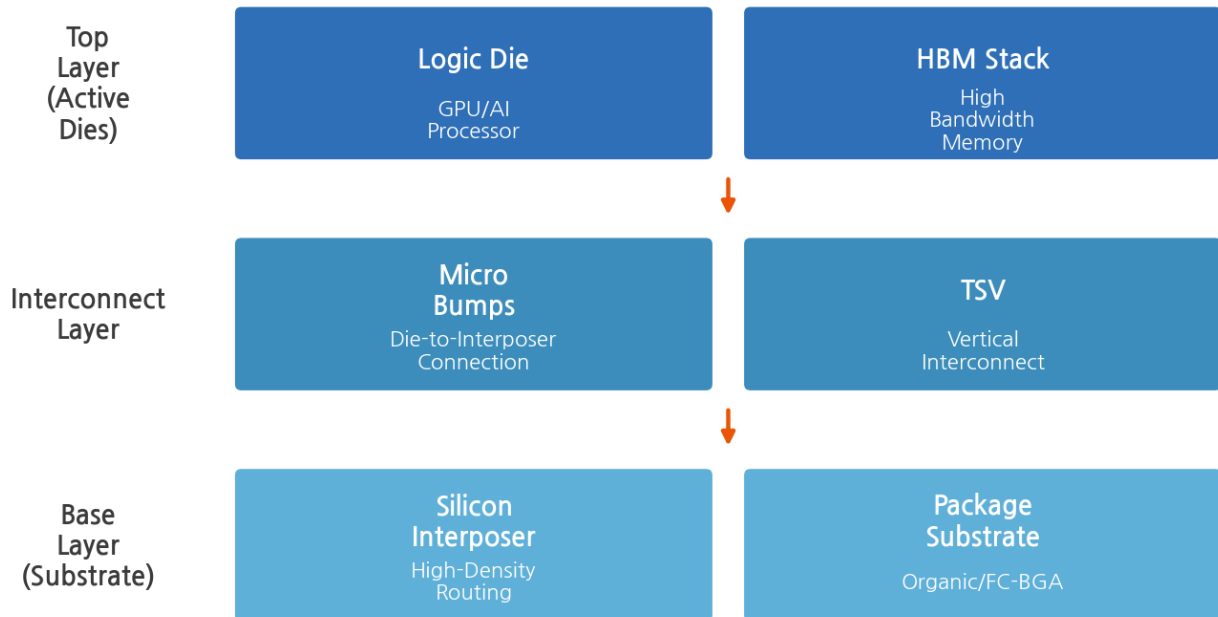


그림 2. CoWoS 2.5D 패키징 핵심 구성 아키텍처

패키징 기술 진화 및 CoWoS 모델 비교



그림 3. 패키징 기술 진화 및 CoWoS 모델 비교

이러한 아키텍처의 진화는 검사 기술의 난이도를 기하급수적으로 높이고 있습니다. 특히 CoWoS-L과 같이 실리콘 브릿지를 사용하는 구조에서는 브릿지의 미세 정렬(Alignment) 상태와 인터포저-브릿지 간의 연결 신뢰성을 검증하는 것이 핵심 과제입니다. 또한, 차세대 공정으로 논의되는 Hybrid Bonding(구리 직접 접합) 기술은 기존의 Bump 방식보다 훨씬 높은 정밀도의 검사를 요구하며, 이는 크레셈이 지향하는 초미세 간극 측정 및 AI 기반 결함 분류 기술의 중요성을 더욱 부각시키고 있습니다 [출처: [기업 분석 보고서] (주)크레셈]

(CRESSEM)20260509001.pdf].

결론적으로, CoWoS 기술은 단순히 칩을 연결하는 것을 넘어, '수율 최적화(Yield Optimization)'와 '전력 효율(Energy Efficiency)'이라는 두 마리 토끼를 잡기 위해 구조적 변형을 지속하고 있습니다. CoWoS-L과 같은 차세대 모델의 등장은 반도체 제조사들에게는 생산성 향상의 기회를 제공하지만, 동시에 검사 장비 측면에서는 더욱 정교한 광학 엔진과 지능형 알고리즘을 요구하는 기술적 도전 과제를 제시하고 있습니다.

주요 공정 결함 및 검사 항목

CoWoS(Chip on Wafer on Substrate)와 같은 2.5D 패키징 공정은 로직 칩(Logic Die)과 고대역폭 메모리(HBM)를 실리콘 인터포저(Silicon Interposer) 위에 초미세 간격으로 배치하는 고난도 공정입니다. 이 과정에서 발생하는 미세한 물리적·전기적 결함은 전체 패키지의 수율(Yield)뿐만 아니라, AI 가속기의 성능을 결정짓는 데이터 전송 대역폭(Bandwidth)과 신뢰성에 치명적인 영향을 미칩니다. 따라서 각 공정 단계별로 발생 가능한 결함 유형을 정의하고, 이를 검출하기 위한 정밀 검사 항목을 수립하는 것이 필수적입니다.

1. 주요 공정 결함 유형 분석 (Defect Typology)

CoWoS 공정은 칩의 적층, 인터포저와의 접합, 그리고 기판(Substrate)으로의 연결이 복합적으로 이루어지기 때문에, 각 단계에서 서로 다른 메커니즘의 결함이 발생합니다.

1.1. 정렬 및 위치 결함 (Misalignment)

Misalignment는 칩(Die) 또는 범프(Bump), TSV(Through Silicon Via)가 설계된 좌표에서 벗어나는 현상을 의미합니다. CoWoS 구조에서는 로직 칩과 HBM이 인터포저 상의 정해진 위치에 정확히 안착되어야 하며, 인터포저와 기판 사이의 Micro Bump 또한 정밀하게 정렬되어야 합니다.

- **발생 원인:** Die Bonding 공정 시 가해지는 압력의 불균형, 스테이지(Stage)의 위치 제어 오류, 또는 열처리(Reflow) 과정 중 발생하는 열팽창 계수(CTE) 차이에 의한 물리적 밀림 현상이 주요 원인입니다.
- **영향:** 정렬 오차는 신호 경로의 길이를 변화시켜 신호 무결성(Signal Integrity)을 저해하거나, 최악의 경우 인접한 전극 간의 단락(Short)을 유발하여 전기적 불량을 일으킵니다.

1.2. 전기적 단락 및 단선 (Bridge & Missing/Open)

미세 피치(Fine Pitch) 구조에서는 아주 작은 이물질이나 납량(Solder Volume) 조절 실패가 치명적인 결함으로 이어집니다.

- **Bridge (Short):** 인접한 범프(Bump) 또는 TSV 간에 금속 연결이 형성되는 현상입니다. 이는 주로 솔더(Solder)의 과다 도포(Over-dispensing)나 리플로우(Reflow) 공정의 온도 프로파일(Temperature Profile) 불량으로 인해 발생합니다 [출처: 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf].
- **Missing Bump / Open:** 특정 위치에 범프가 형성되지 않거나, 접합이 제대로 이루어지지 않아 전기적 통로가 끊어진 상태를 의미합니다. 이는 디스펜서(Dispenser) 노즐의 오염, 세정 공정 불량, 또는 도포 공정의 누락이 원인이 됩니다 [출처: 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf].

1.3. 물리적 변형 및 균열 (Warpage & Crack)

2.5D 패키징은 서로 다른 재질(Silicon, Organic Substrate, Solder 등)이 층층이 쌓이는 구조이므로, 열적·물리적 응력에 매우 취약합니다.

- **Warpage (휨):** 고단 적층 구조에서 열처리(Annealing) 시 각 소재의 열팽창 계수(CTE) 차이로 인해 웨이퍼나 패키지 전체가 휘어지는 현상입니다 [출처: 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf]. Warpage가 심화되면 범프의 접합력이 약화되거나, 인터포저 내부에 미세한 균열이 발생할 수 있습니다.

- **Crack (균열):** 칩의 모서리(Corner)나 TSV 주변, 혹은 범프 접합부에 발생하는 미세 균열입니다. 이는 공정 중 가해지는 과도한 기계적 압력이나 급격한 온도 변화에 의해 발생하며, 패키지의 장기 신뢰성을 저하시키는 핵심 요인입니다.

2. 핵심 검사 항목 및 기술적 요구사항 (Inspection Items)

위에서 정의한 결함을 효과적으로 검출하기 위해서는 단순한 외관 검사를 넘어, 3차원적 형상 분석과 전기적 특성 검증이 병행되어야 합니다.

검사 분류	검사 항목 (Inspection Item)	검사 목적 및 주요 내용	기술적 요구사항
구조적 검사	TSV Alignment	TSV와 Die 간의 수직 정렬 상태 확인	Sub-micron급 해상도
	Bump Height / Shape	Micro Bump의 높이, 크기, 형상 및 도포량 측정	3D 프로파일링 기술
	Warpage Measurement	패키지 및 웨이퍼의 전체적인 휨 정도 분석	고정밀 스테이지 및 광학계
전기적 검사	Electrical Continuity	TSV 및 I/O 연결의 단선/단락 여부 검증	고속 신호 측정 (Signal Integrity)
	TSV Resistance	TSV 내부의 저항값 측정을 통한 연결 품질 확인	$\mu\Omega$ 단위의 정밀 측정
표면/결함 검사	Defect Mapping	Bridge, Missing, Crack 등의 위치 및 종류 분류	AI 기반 자동 결함 분류 (ADC)
	Pattern Inspection	인터포저 내 미세 회로의 단선/단락 검사	고해상도 CMOS 센서 활용

표 2. 핵심 검사 항목 및 기술적 요구사항 (Inspection Items)

3. 차세대 검사 기술의 방향성

CoWoS 공정이 HBM4 및 Hybrid Bonding 기술로 진화함에 따라, 검사 기술 역시 기존의 한계를 극복해야 하는 전환점에 서 있습니다.

첫째, 초미세 간극(Ultra-fine Gap) 측정 기술입니다. 기존의 Bump 방식에서 구리(Cu)를 직접 접합하는 Hybrid Bonding 방식으로 전환될 경우, 측정해야 할 간격은 기존보다 훨씬 작아집니다. 따라서 서브 마이크론(sub- μm) 해상도를 넘어 나노미터(nm) 단위의 정밀도를 확보할 수 있는 고해상도 광학 엔진과 초정밀 나노 스테이지(Ultra-Precision Nano-Stage)의 결합이 필수적입니다 [출처: 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf].

둘째, AI 기반의 지능형 결함 분류(AI-Driven Defect Classification)입니다. 공정이 미세화될수록 정상적인 노이즈와 실제 결함을 구분하는 난이도가 기하급수적으로 상승합니다. 단순한 Rule-based(규칙 기반) 검사는 과검(Over-kill, 정상 제품을 불량으로 판정)률을 높여 수율을 저하시키는 원인이 됩니다. 이를 해결하기 위해 딥러닝(Deep Learning) 알고리즘을 적용하여 미세 결함과 노이즈를 정밀하게 구분함으로써, 검사의 정확도를 높이고 생산 라인의 Tact Time(생산 주기)을 최적화해야 합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

셋째, 데이터 기반의 역추적(Root Cause Analysis) 솔루션입니다. 검사 장비는 단순히 Pass/Fail을 판정하는 도구를 넘어, 검출된 결함 데이터를 분석하여 전공정(Front-end)의 어떤 파라미터가 문제를 일으켰는지 역추적할 수 있는 능력을 갖추어야 합니다. 예를 들어, 특정 영역에서 반복적인 Misalignment가 발견될 경우, 이는 Die Bonding 공정의 압력 불균형이나 스테이지의 정밀도 문제를 시사하므로 공정 개선을 위한 핵심 데이터를 제공하게 됩니다.

차세대 검사 솔루션 요구사항

CoWoS(Chip on Wafer on Substrate)를 포함한 2.5D 패키징 기술이 고도화됨에 따라, 기존의 Rule-based(규칙 기반) 검사 방식은 물리적 한계에 직면해 있습니다. 특히 HBM(High Bandwidth Memory)과 로직 칩이 실리콘 인터포저(Silicon Interposer) 위에서 극도로 밀착되어 배치되는 구조적 특성상, 미세한 공정 변동이 전체 시스템의 성능 저하 및 수율(Yield) 급락으로 직결됩니다. 따라서 차세대 검사 솔루션은 단순한 불량 유무 판별을 넘어, Sub-micron Resolution(서브마이크론 해상도)을 기반으로 한 고정밀 광학 기술과 AI-Driven Machine Vision(AI 기반 머신 비전) 기술의 결합이 필수적으로 요구됩니다.

1. 초미세 결함 검출을 위한 고해상도 광학 시스템 (High-Resolution Optical System)

2.5D 패키징의 핵심은 수천 개의 미세한 통로를 통해 데이터를 전송하는 인터커넥트(Interconnect)의 신뢰성입니다. CoWoS 구조 내에서 발생하는 결함은 수 μm 단위 이하의 미세한 스케일에서 발생하므로, 이를 검출하기 위해서는 다음과 같은 광학적 사양이 뒷받침되어야 합니다.

- **Sub-micron Resolution 구현:** TSV(Through Silicon Via)의 연결 상태, Micro Bump의 높이 및 정렬(Alignment) 상태를 확인하기 위해서는 서브마이크론 단위의 분해능을 가진 고해상도 CMOS 센서가 필수적입니다. [출처: 매뉴얼HBMAdvancedInspectionSyst20260509001.pdf]
- **Multi-angle 조명 제어 기술:** 칩의 적층 구조와 인터포저의 복잡한 단차를 분석하기 위해, 단일 조명이 아닌 Multi-angle LED(RGB + UV)를 활용한 3D 형상 분석 기술이 요구됩니다. 이는 표면의 미세한 Crack(균열)이나 Warpage(휨) 현상을 입체적으로 파악하는 데 핵심적인 역할을 합니다. [출처: 매뉴얼HBMAdvancedInspectionSyst20260509001.pdf]
- **고속 스캐닝 및 Tact Time 최적화:** 고해상도 이미지를 획득하면서도 양산 라인의 생산성을 저해하지 않도록, 고속 광학 엔진과 정밀한 스테이지 제어 기술(Ultra-Precision Nano-Stage)이 결합되어야 합니다. [출처: 매뉴얼HBMAdvancedInspectionSyst20260509001.pdf]

2. AI 비전 기반의 지능형 검사 알고리즘 (AI-Driven Inspection)

물리적 해상도의 향상만으로는 폭발적으로 증가하는 검사 데이터와 미세 결함의 복잡성을 해결할 수 없습니다. 차세대 솔루션은 인공지능을 통해 검사의 정확도와 효율성을 동시에 확보해야 합니다.

구분	기존 Rule-based 검사	차세대 AI Inspection 솔루션
판단 방식	사전에 정의된 수치적 임계값(Threshold) 기반	Deep Learning 기반의 패턴 및 특징 학습 기반
과검(Over-kill) 관리	미세 노이즈를 결함으로 오인하여 과검률 높음	정상적인 노이즈와 실제 결함을 구분하여 과검률 획기적 저감
결함 분류	단순 Pass/Fail 판정 위주	Bridge, Missing, Misalignment 등 결함 유형 자동 분류
공정 피드백	불량 발생 통보에 국한	결함 데이터 분석을 통한 공정 원인 역추적(Root Cause Analysis)

표 3. AI 비전 기반의 지능형 검사 알고리즘 (AI-Driven Insp)

- **Deep Learning 기반 결함 분류(Defect Classification)**: 단순한 형태적 불량을 넘어, 미세 결함(Defect)과 공정 중 발생하는 정상적인 노이즈를 지능적으로 구분함으로써 과검(Over-kill)률을 획기적으로 낮추는 것이 핵심입니다. [출처: 분석_크레셈CRESSEM20260509001.pdf]
- **스마트 팩토리 연동 및 수율 향상**: AI 솔루션은 단순히 불량을 찾아내는 것에 그치지 않고, 검사 데이터를 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 기능을 제공해야 합니다. 이는 고객사의 수율(Yield) 향상에 직접적으로 기여하는 파트너로서의 가치를 결정짓습니다. [출처: 분석_크레셈CRESSEM20260509001.pdf]

3. 기술적 요구사항 요약 및 결론

결과적으로 차세대 CoWoS 검사 솔루션은 '초정밀 하드웨어'와 '지능형 소프트웨어'의 완벽한 통합을 지향해야 합니다.

첫째, 물리적 측면에서는 $\pm 0.01 \mu\text{m}$ 급의 정밀도를 가진 Nano-Stage와 고해상도 광학계를 통해 TSV 및 Bump의 미세한 오차를 잡아낼 수 있어야 하며, 둘째, 소프트웨어 측면에서는 Deep Learning 기반의 Defect Classifier를 통해 검사의 신뢰성을 확보해야 합니다. 이러한 기술적 요구사항은 향후 HBM4와 같이 Hybrid Bonding(구리 직접 접합) 기술이 도입되는 차세대 공정에서 검사 난이도가 더욱 상승함에 따라 더욱 강력하게 요구될 전망입니다. [출처: 분석_크레셈CRESSEM20260509001.pdf]

결론/시사점

본 보고서에서 분석한 CoWoS(Chip on Wafer on Substrate) 2.5D 패키징 기술은 단순한 후공정 단계를 넘어, AI 가속기 및 고성능 컴퓨팅(HPC) 시장의 성능 한계를 돌파하는 핵심 아키텍처로 자리 잡았습니다. NVIDIA H100, B200(Blackwell)과 같은 초거대 언어 모델(LLM) 구동용 프로세서가 CoWoS 기술에 전적으로 의존하고 있다는 사실은, 향후 반도체 산업의 주도권이 '전공정 미세화'를 넘어 '패키징 고도화'로 완전히 이동했음을 시사합니다 [출처: github.com].

AI 반도체 시장의 폭발적 성장과 함께 CoWoS 공정의 복잡도가 기하급수적으로 증가함에 따라, 검사(Inspection) 기술의 전략적 가치는 다음과 같은 세 가지 측면에서 재정의되어야 합니다.

첫째, **수율(Yield) 관리**를 위한 선제적 결함 제어입니다. CoWoS는 실리콘 인터포저(Silicon Interposer) 위에 로직 칩과 HBM을 수평으로 배치하는 복잡한 구조를 가집니다. 이 과정에서 발생하는 미세한 정렬 오차(Misalignment), TSV(Through Silicon Via) 연결 결함, 그리고 고단 적층 시 발생하는 Warpage(휨) 현상은 전체 패키지의 기능 상실로 직결됩니다. 따라서 공정 단계별로 초미세 결함을 실시간 검출할 수 있는 고정밀 검사 솔루션의 확보는 제조사의 수익성과 직결되는 필수 요소입니다.

둘째, **차세대 패키징 기술(Hybrid Bonding 등)에 대응하는 검사 기술의 진화**입니다. 향후 HBM4 등 차세대 제품군에 도입될 Hybrid Bonding(구리 직접 접합) 기술은 기존의 Bump 방식보다 훨씬 높은 수준의 정밀도를 요구합니다. 이에 따라 기존의 Rule-based 검사 방식을 넘어, 미세한 물리적 변형과 전기적 특성을 동시에 분석할 수 있는 고해상도 광학 엔진과 AI 기반의 지능형 검사 시스템으로의 전환이 가속화될 전망입니다.

셋째, **AI 비전을 활용한 스마트 팩토리 구현**입니다. 단순한 불량 판정을 넘어, 검사 데이터를 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 솔루션은 고객사의 수율 향상에 직접적으로 기여하는 핵심 파트너십의 근거가 됩니다.

결론적으로, CoWoS 기술의 진화는 검사 장비에 더 높은 해상도, 더 빠른 Tact Time, 그리고 더 정교한 AI 알고리즘을 요구하고 있습니다. 크레셈(CRESSEM)과 같은 전문 기업이 보유한 고정밀 광학 기술과 AI 비전 통합

역량은, 급변하는 AI 반도체 공급망 내에서 대체 불가능한 핵심 위치를 차지할 것이며, 이는 향후 고부가가치 패키징 시장의 성장을 견인하는 결정적 동인이 될 것입니다 [출처: [기업 분석 보고서] (주)크레셈 (CRESSEM)20260509001.pdf].